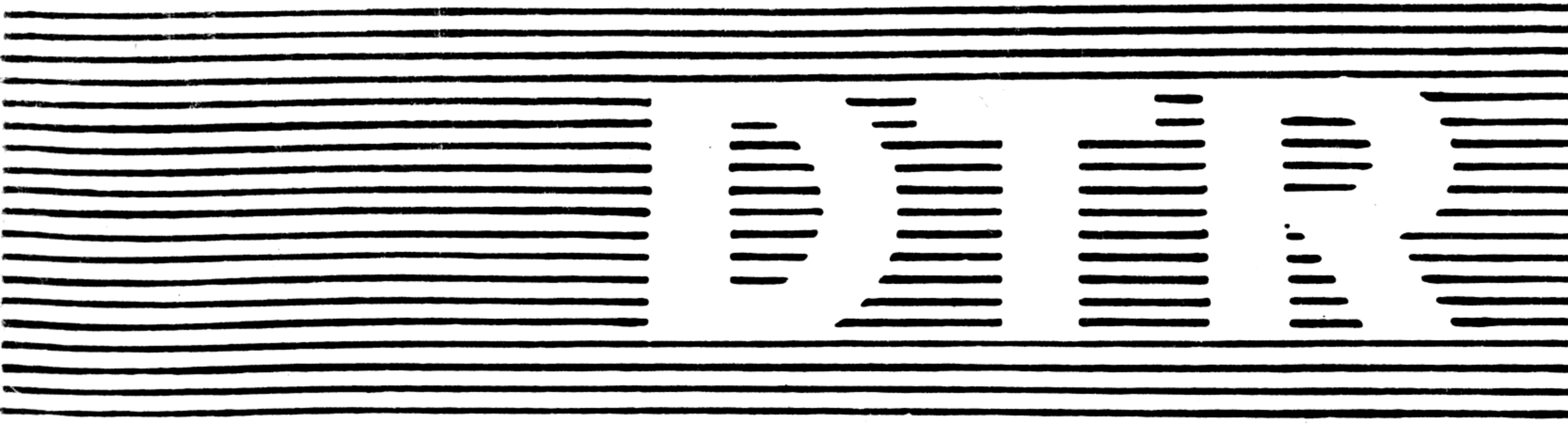


DOKUMENTACJA TECHNICZNO-RUCHOWA

JEDNOSTKA PAMIĘCI NA DYSKACH ELASTYCZNYCH TYP PLx45D.5

SWW 0922-114

MERA-KFAP

KRAKOWSKA FABRYKA APARATÓW POMIAROWYCH „MERA-KFAP"
ul. Zapolskiej 38,30-128 Kraków,Telefon: 37 42 22; teleks: 0322417 pl

SPIS TREŚCI

Karta katalogowa 3
1. Zastosowanie 3
2. Zasada działania 3
3. Budowa 4
4. Klasyfikacja 5
5. Dane techniczne 5
6. Wymiary główne 7
7. Urządzenia i przyrządy współpracujące 8
8. Wyposażenie 9
9. Zamawianie 9

Instrukcja obsługi 10
10. Odbiór techniczny 10
11. Przechowywanie i transport 10
12. Opis działania 11
13. Montaż 22
14. Uruchomienie i obsługa 22
15. Konserwacja i kontrola okresowa 22
16. Niedomagania i ich usuwanie 23
17. Demontaż 23

JEDNOSTKA PAMIĘCI NA DYSKACH ELASTYCZNYCH TYP PLx45D.5

SWW 0922-114

KARTA KATALOGOWA

1. ZASTOSOWANIE

Jednostka pamięci na dyskach elastycznych typu PLx45D.5 jest stosowana:

- jako uniwersalna pamięć dla tanich minikomputerów lub mikrokomputerów stołowych,
- jako pamięć buforowa,
- do zapisu i odczytu informacji w urządzeniach wejścia i wyjścia, w urządzeniach przygotowania i gromadzenia danych do wprowadzania podprogramów w pamięć sterującą jednostki centralnej oraz w jednostkach sterujących dużych dysków.

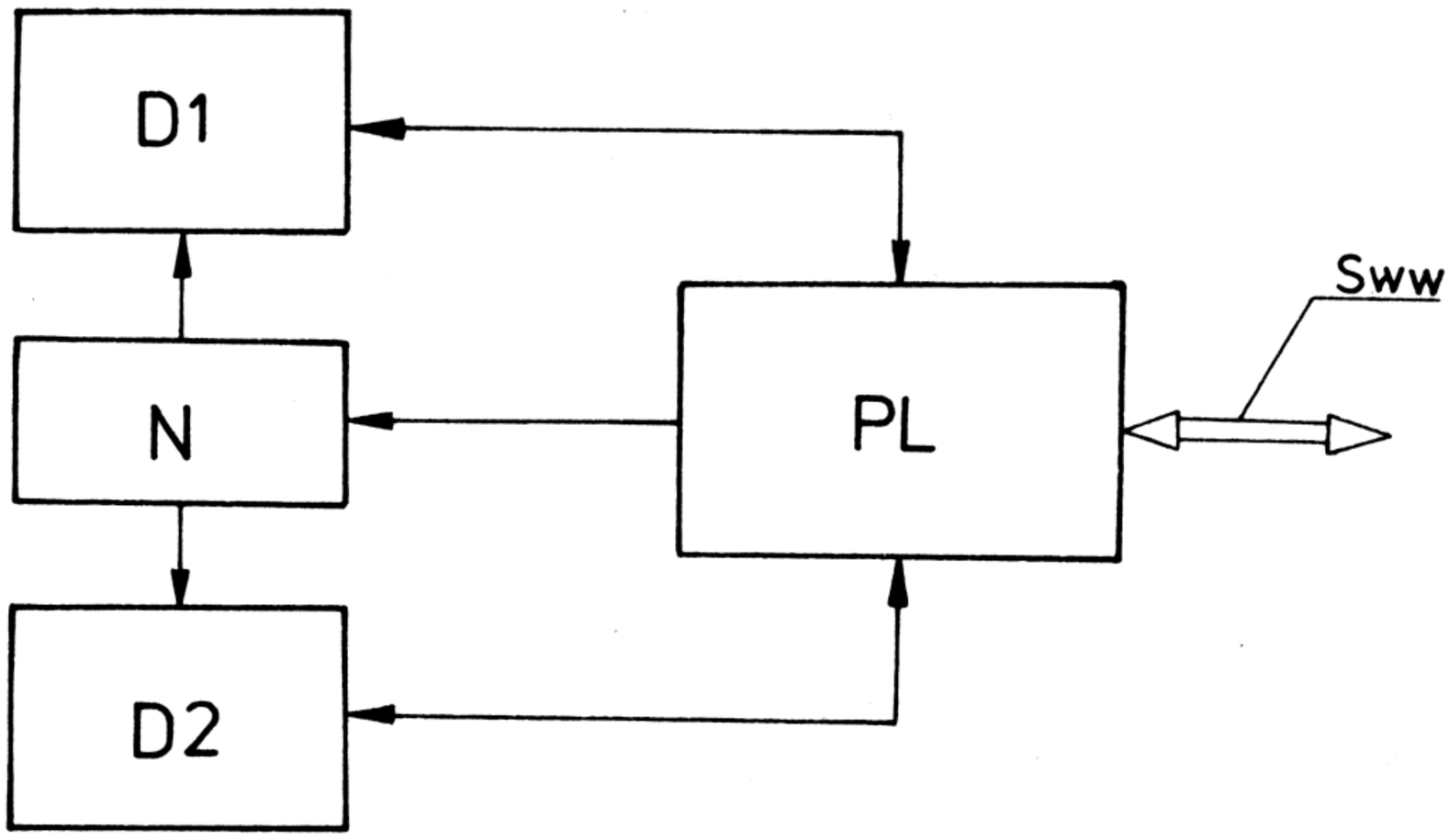
2. ZASADA DZIAŁANIA

Zasada działania jednostki pamięci na dyskach elastycznych typu PLx45D.5 została opisana na podstawie jej schematu blokowego przedstawionego na rys.1.

Jednostka pamięci PLx45D.5 składa się z płyty logiki *PL*, dwóch dysków elastycznych *D1* i *D2* oraz układu napędu *N*. Sterowanie całego układu zrealizowane jest za pomocą sygnałów WEJ/WYJ *Sww*, które doprowadzane są do płyty logiki *PL*, a następnie po odpowiednim przetworzeniu w układzie elektronicznym tej płyty sterują wykonywaniem wszystkich funkcji jednostki pamięci, tj:

- wybraniem – za pośrednictwem układu napędu *N* żądanego dysku (tj. *D1* lub *D2*),
- sprawdzeniem – bezpośrednio, czy od strony głowicy ZAP/OD znajduje się żądana strona wybranego uprzednio dysku,
- wybraniem – za pośrednictwem układu napędu *N* żądanej ścieżki i sektora,
- bezpośrednio – zapisem i odczytem żądanych fragmentów dysku,
- bezpośrednio – przekazywaniem w przypadku odczytu, w obrębie sygnałów WEJ/WYJ *Sww*, żądanych informacji do użytkownika.

W obrębie sygnałów WEJ/WYJ *Sww* muszą znajdować się również napięcia zasilania. Mogą one pochodzić bezpośrednio z zasilacza minikomputera użytkownika, jak również z zasilacza oddzielnego, a specjalnie w tym celu zbudowanego.



Rys. 1. Schemat blokowy jednostki pamięci PLx45D.5
PL **– płyta logiki,** *N* **– układ napędu,** *D1* **– dysk elastyczny nr 1,** *D2* **– dysk elastyczny nr 2,** *Sww* **– sygnały WEJ/WYJ.**

3. BUDOWA

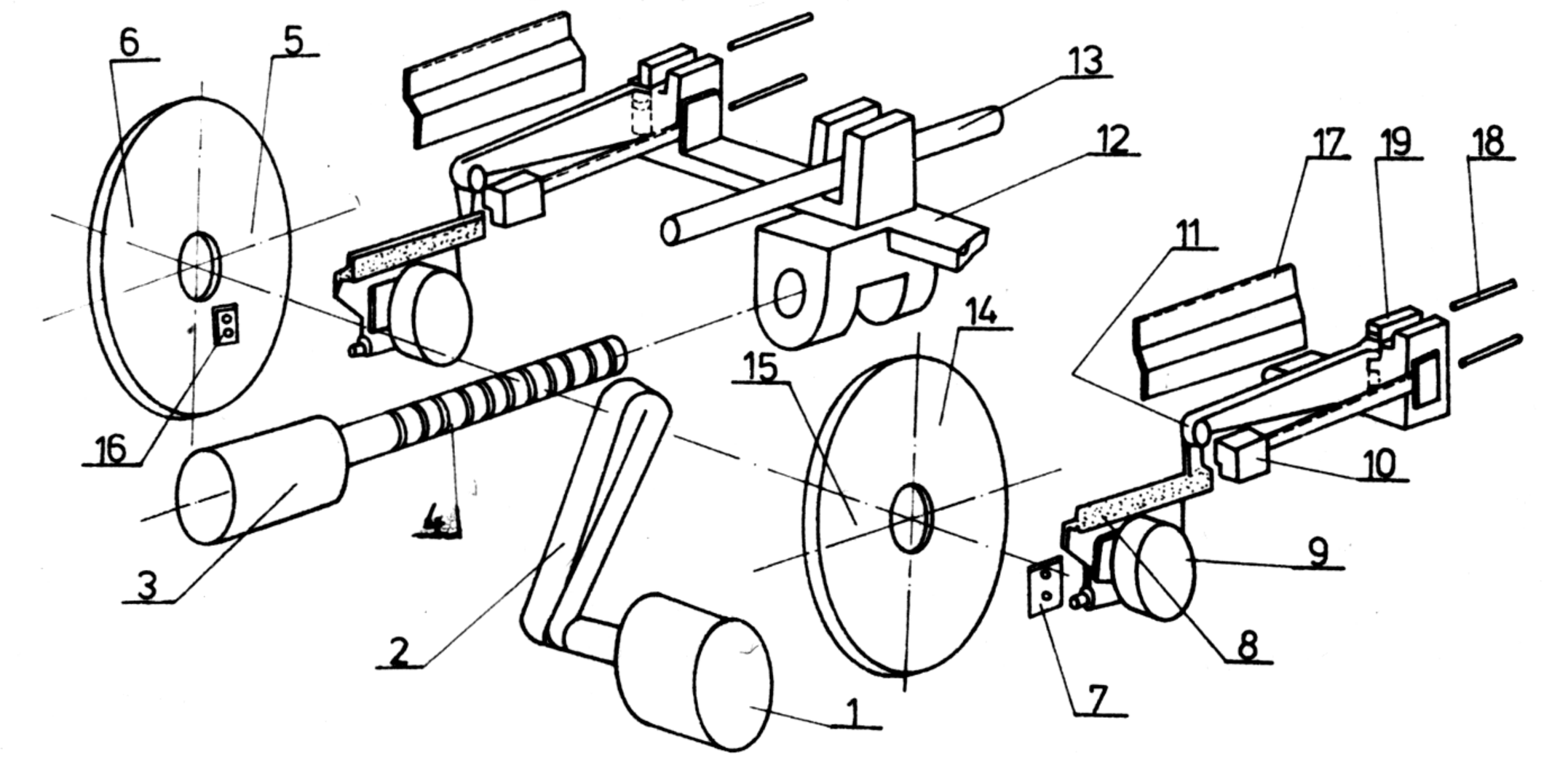
Budowę jednostki pamięci na dyskach elastycznych typu PLx45D.5 przedstawiono schematycznie na rys. 2. Schemat ten stanowi bardziej szczegółowe przedstawienie układu napędu, odpowiedzialnego za właściwą interpretację wysyłanych z płyty logiki sygnałów sterujących (patrz rys. 1) i wybieranie żądanych fragmentów konkretnego dysku przy zapisie lub odczycie.

Widoczna na rys. 2 całość zamontowana jest na ramie głównej wykonanej jako odlew.

Ruch obrotowy na niewidoczne na rysunku piasty obu dysków *5* i *14* przekazywany jest z silnika synchronicznego *1* za pośrednictwem paska napędowego *2* oraz, również niewidocznego a wspólnego dla obu dysków, wałka. Każdy z dysków oraz każda z ich kopert mają swój otwór indeksowy *6* lub *15* ulokowany w obszarze najbliżej środka znajdującej się ścieżki, a służący do zidentyfikowania aktualnie używanej strony oraz do zsynchronizowania jednostki pamięci ze współpracującymi z nią układami zewnętrznymi, przy czym fakt obracania dysków, a zatem i otworów indeksowych wyróżniany jest za pośrednictwem 4 zespołów fotoczujników indeksu, składających się z fototranzystorów i diod świecących. Dwa z tych zespołów *7* i *16* są pokazane na rysunku. Dwa pozostałe, na rysunku niewidoczne, ulokowane są po przeciwnej stronie każdego z dysków.

Dostęp nie określonych na rys. 2 odrębnymi symbolami cyfrowymi, głowic *10* do żądanej ścieżki danego dysku zrealizowany jest poprzez nadawanie ruchu posuwnego pozycjonerowi *12* za pośrednictwem śruby *4* z silnika krokowego. *3*. Każdy jeden krok silnika przesuwa głowicę o 1 ścieżkę. Dodatkową stabilizację ruchu posuwnego pozycjonera zapewnia pręt stabilizatora zewnętrznego *13*. Docisk dysku do głowicy przy zapisie lub odczycie zapewnia elektromagnes *9* poprzez uruchomienie w odpowiednim momencie nakładki dociskowej *8* i dociskacza 11.

Na rys. 2 niewidoczne są drzwiczki kaset obu dysków, których nawet przypadkowe otworzenie całkowicie unieruchamia jednostkę pamięci (odłączenie zasilania). Z innych ważniejszych podzespołów niewidoczna jest też płytka logiki oraz przekaźnik ochrony zapisu, którego celem jest eliminacja możliwości przypadkowego skasowaia danych w przypadku braku zasilania.



Rys. 2. Schemat funkcjonalny jednostki pamięci typu PLx45D.5

1 – **silnik synchroniczny**, *2* – **pasek napędowy**, *3* – **silnik krokowy**, *4* – **śruba**, *5* – **dysk nr 1**, *6* – **otwór indeksowy dysku nr 1**, *7* – **zespół fotoczujnika indeksu**, *8* – **nakładka dociskowa**, *9* – **elektromagnes**, *10* – **głowica ZAP/OD**, *11* – **dociskacz**, *12* – **pozycjoner głowic**, *13* – **pręt stabilizatora zewnętrznego**, *14* – **dysk nr 2**, *15* – **otwór indeksowy dysku nr 2**, *16* – **zespół fotoczujnika indeksu**, *17* – **sprężyna głowic II**, *18* – **prowadnice głowic**, *19* – **wsporniki głowic**.

4. KLASYFIKACJA

Aktualna produkcja obejmuje tylko jeden typ jednostki pamięci na dyskach elastycznych, kreślony mianem PLx45D.5. Jednostka pamięci PLx45D.5 jest zasilana napięciem:

$$220\ V\ ^{+10}_{-15}\%\ 50\ Hz \pm 1\ Hz$$

5. DANE TECHNICZNE

5.1. Parametry robocze rejestracji na dyskach

Prędkość obrotowa dysków		360 obr/min±2,5%
Częstotliwość zegara zapisu		250 kHz±0,1%
Prędkość liniowa dysku	– ścieżka 00	345,44 cm/s
	– ścieżka 76	194,31 cm/s
Gęstość zapisu	– ścieżka 00	722,83 bitów (cm/nom)
	– ścieżka 76	1286,61 bitów (cm/nom)
		1320,08 bitów (cm/max)
Promień ścieżki	– ścieżka 00	9,175 cm
	– ścieżka 76	5,154 cm

Pojemność jednej ścieżki (całkowita)	41,667 bitów (nom) 40,610 bitów (min)
Pojemność jednej ścieżki (użyteczna)	26,624 bitów (dla IBM 3740)
Pojemność całkowita jednej strony jednego dysku	3,2 Mbit
Prawdopodobieństwo błędu przy odczycie*:	
– przy 1 nieudanej próbie	10^{-9}
– przy 3 nieudanych próbach	10^{-12}

5.2. Czas dostępu do danych

Poniższe parametry są aktualne wyłącznie przy napięciu zasilania silnika krokowego równym 48 V±5% .

Czas dociśnięcia dysku	90 ms (max)
Czas uspokojenia silnika krokowego	30,0 ms±5%
Czas reakcji pozycjonera (zawiera czas wszystkich kroków i czas uspokojenia):	
– dla 1 ścieżki	30,0 ms±5%
– dla 76 ścieżek	220 ms±5%
– średnio (wybór 1-osowy)	93 ms
Opóźnienie obrotowe – maksimum	166 ms
– średnio	83 ms
Czas rozruchu silnika napędu dysków (max)	1 s
Średni czas dostępu do danych (przy pracy w pamięci SP45DE)	205 ms

5.3. Format dysku i danych:

- 4 strony maks. (2 dyski po 2 strony),
- 77 ścieżek na stronę,
- zapis w technice podwojen, częstotliwości bez powrotu do zera (double frequency non-return to zero system),
- format ścieżek określony przez użytkownika (przy formacie kompatybilnym z IBM 3740 należy wykorzystać informacje zawarte w publikacji „IBM diskette GEM Information Manual", numer GA.21.9151.G).

5.4. Zasilanie

Zasilanie silnika synchronicznego	220 V^{+10}_{-15}% 50 Hz±1 Hz, 50 VA
Zasilanie płyty logiki:	
I	+5 V± 5%, 2,0 A
II	–12 V±10% lub –6 V±5%, 100 mA
III	+12 V±5% lub +24 V±10%, 650 mA

---

* Dla jednostek pamięci wyposażonych w dyski elastyczne, których dolna temperatura pracy wynosi wg producenta +10°C, dopuszcza się niespełnienie tych wymagań w zakresie temperatur niższych od 10°C.

Zasilanie silnika krokowego:

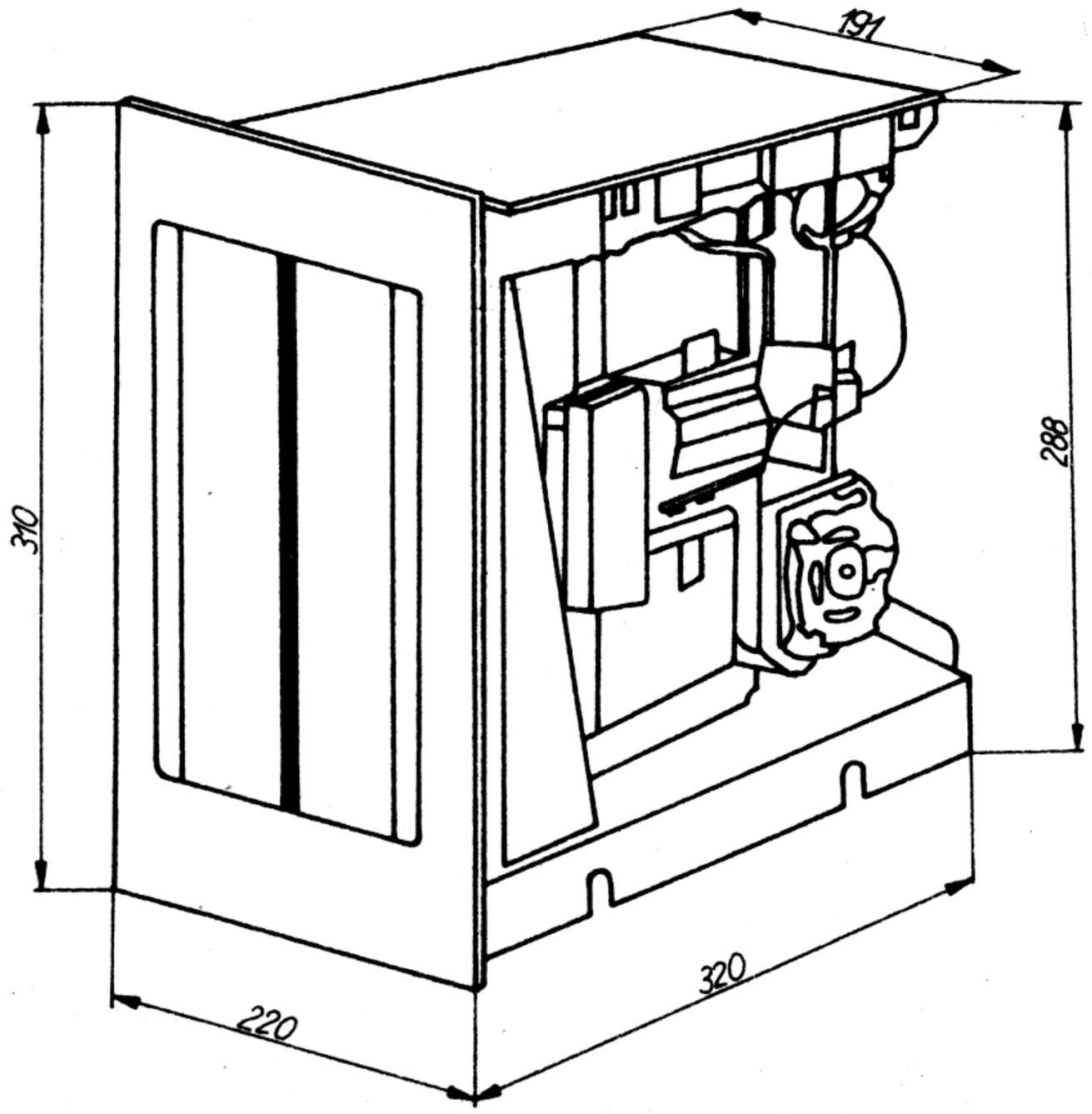
– przy prędkości maks. 400 kroków/s	$-U_{zas}$	=	+48 V±5%
	$-I_{śr}$	=	2,5 A
	$-I_{MAX}$	=	4,8 A/30 ms

5.5. Dane środowiskowe:

– wilgotność względna	20 . . . 80%
– zakres temperatury pracy	+5 . . . +45°C
– zakres temperatury składowania bez dysku	–35 . . . +60°C
– zakres temperatury składowania z dyskiem	+5 . . . +53°C
– udary (w opakowaniu transportowym)	15 g przy 0,5 . . . 2,0 Hz
- wibracje (w opakowaniu transportowym)	0,15 mm przy 10 . . . 55 Hz
– maksymalny poziom hałasu	65 dB
– udogodnienie obsługi	ręcznie wyjmowanie i wkładanie dysków bez pomocy narzędzi lub przyrządów

6. WYMIARY GŁÓWNE

Wymiary główne jednostki pamięci na dyskach elastycznych przedstawione zostały na rys. 3.



Rys. 3. Widok perspektywiczny jednostki pamięci na dyskach elastycznych typu PLx45D.5

7. URZĄDZENIA I PRZYRZĄDY WSPÓŁPRACUJĄCE

Jednostka pamięci na dyskach elastycznych może być sterowana bezpośrednio z minikomputera. Jednakże niski poziom organizacji i mała szybkość przesyłania danych (250 k-bitów/s) sprawia, że rozwiązanie takie jest nieekonomiczne, wymaga bowiem bardzo złożonych i powtarzanych wielokrotnie operacji, które zajmują znaczną część pamięci operacyjnej i pochłaniają większą część czasu pracy minikomputera. Aby usunąć te niedogodności, wskazane jest wyposażenie jednostki lub kilku jednostek w urządzenie sterujące, które przejmuje wszystkie funkcje związane z formatowaniem danych zapisywanych i odczytywanych z dysku, a także wykonuje operacje sterowania mechanizmami jednostek PLx45D.5.

Urządzeniem takim jest blok sterowania wchodzący w skład produkowanej w MERA-KFAP pamięci na dyskach elastycznych z formaterem i selektorami typu SP45DE.

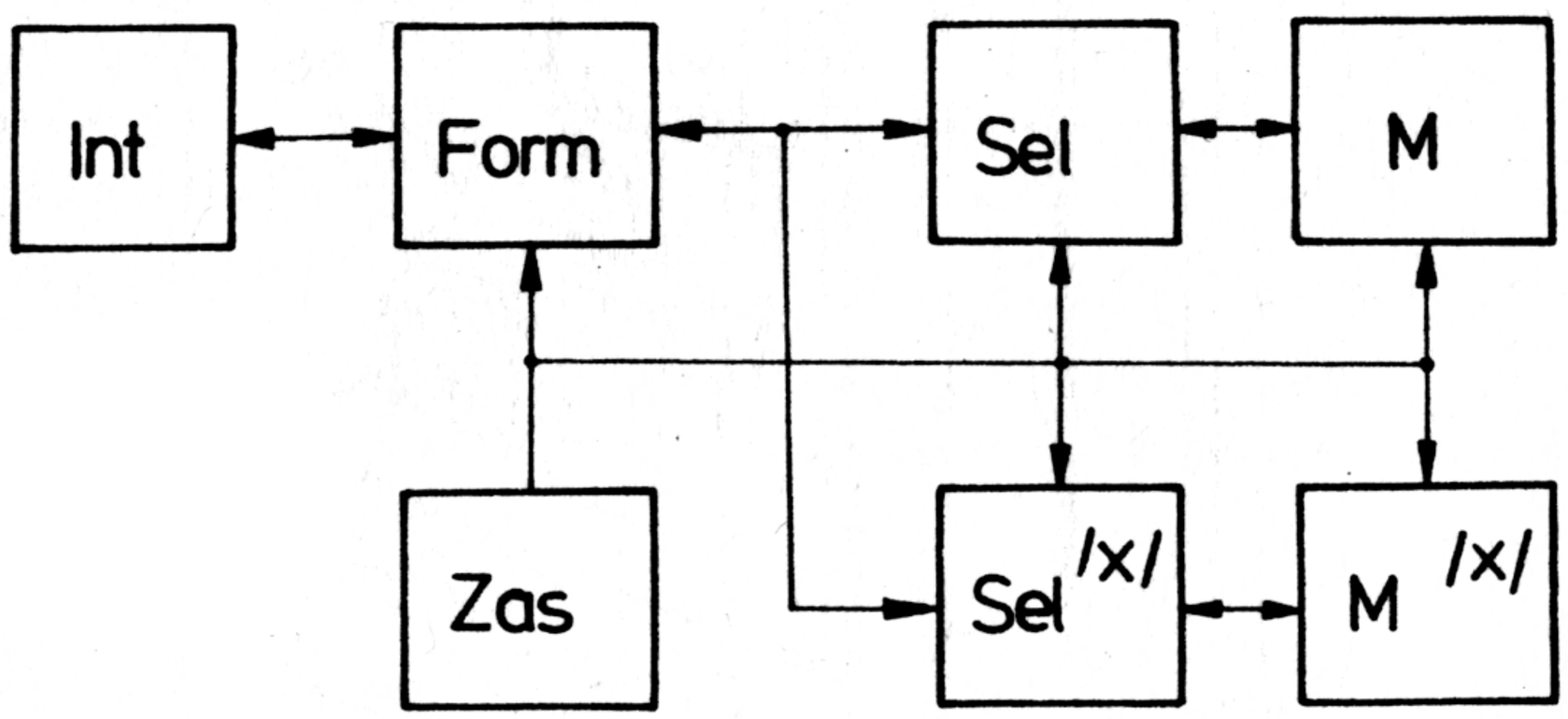
Praca w obrębie pamięci SP45DE jest podstawowym reżimem pracy jednostki pamięci PLx45D.5. Pamięć ta zawiera dwie jednostki pamięci PLx45D.5, dwa selektory (po jednym dla każdej jednostki pamięci), formater i zasilacz.

Każdy z selektorów steruje mechanizmami związanej z nim jednostki, przekazuje do formatera informacje o stanie tej jednostki oraz pośredniczy przy transmisji danych.

Zadaniem formatera są funkcje związane z formowaniem danych, a także z przesyłaniem danych oraz informacji i rozkazów pomiędzy pamięcią i minikomputerem.

Schemat blokowy takiego reżimu pracy przedstawia rys. 4.

Zastosowane na rys. 4 odsyłacze (*) oznaczają, że określony w ten sposób fragment pamięci stanowi opeję (jedna jednostka pamięci i zwązany z nią selektor).



Rys. 4. Podstawowy reżim pracy jednostki pamięci na dyskach elastycznych typu PLx45D.5
M, M(*) – **jednostki pamięci PLx45D.5,** *Sel, Sel*(*) **selektory,** *Form* – **formater,** *zas* – **zasilacz,** *Int* – **interface konkretnego minikomputera.**

8. WYPOSAŻENIE

W skład wyposażenia obligatoryjnego jednostki pamięci na dyskach elastycznych typu PLx45D.5. wchodzą następujące detale:

- kabel zasilania silnika krokowego 1 szt.
- kabel sieciowy 1 szt.
- dyski elastyczne IBM 3740 4 szt.
- złącze ELTRA 80105001220021 1 szt.

9. ZAMAWIANIE

Przy zamawianiu jednostki pamięci należy podać oznaczenie wyrobu wg pkt. 4 wraz z zamawianymi ilościami.

Przykład:

- jednostka pamięci na dyskach elastycznych, typ PLx45D.5, liczba: 5 sztuk.

UWAGA: „MERA-KFAP" nie prowadzi odrębnej sprzedaży dysków elastycznych.

P r o d u c e n t: KRAKOWSKA FABRYKA APARATÓW POMIAROWYCH „MERA-KFAP"
30-128 Kraków, ul. Zapolskiej 38; telefon: 37-42-22, teleks: 0322417 pl

D y s t r y b u t o r: BIURO ZBYTU SPRZĘTU POMIAROWO-KONTROLNEGO „MERAZET"
60-967 Poznań, ul. Armii Czerwonej 66/72; telefon: 69-91-51, teleks: 0412303 pl

E k s p o r t e r: PRZEDSIĘBIORSTWO HANDLU ZAGRANICZNEGO „METRONEX"
00-496 Warszawa, ul. Mysia 2; telefon: 21-01-71, teleks: 814471 pl, 814473 pl

10. ODBIÓR TECHNICZNY

Odbiór przez KJ wytwórcy

Jednostki pamięci na dyskach elastycznych są odbierane przez KJ wytwórcy na podstawie Normy Zakładowej ZN-79/MERA-10/052.

Na żądanie nabywcy odbiór może odbywać się w jego obecności.

Gwarancja

Krakowska Fabryka Aparatów Pomiarowych „MERA-KFAP" udziela gwarancji na poprawne działanie wyrobu w okresie 12 miesięcy od dnia oddania go do użytku z tym, że okres ten nie może być dłuższy niż 24 miesiące od dnia wydania wyrobu jednostce nabywającej od „MERA-KFAP".

W przypadku ujawnienia w okresie gwarancyjnym wady zakład bezpłatnie ją usunie lub wymieni wyrób na nowy, wolny od wad, jeżeli plomby będą nie naruszone.

Gwarancja nie obejmuje uszkodzeń wynikłych z nieostrożnego transportu lub przeładunku, mimo nie uszkodzenia opakowania zewnętrznego.

Odbiór przez użytkownika

Odbiorca powinien skontrolować stan przesyłki i sprawdzić protokół, w którym należy stwierdzić:

a) czy opakowanie zewnętrzne nie ma śladów upadku, uderzeń lub wgnieceń,
b) zgodność numeru fabrycznego jednostki pamięci, uwidocznionego na tabliczce znamionowej, z numerem podanym na stronicy tytułowej DTR i w karcie gwarancyjnej,
c) zgodność numeru fabrycznego jednostki pamięci z numerami urządzeń współpracujących,
d) zgodność dostarczonej odmiany jednostki pamięci z zamówieniem,
e) zgodność wyposażenia wg wykazu podanego w DTR,
f) stan powłok ochronnych jednostki pamięci.

W razie uszkodzeń, braków lub niezgodności należy reklamować przesyłkę u wysyłającego, dołączając kartę gwarancyjną.

Uszkodzenia wynikłe wskutek transportu powinny być reklamowane w instytucjach odpowiedzialnych za transport.

11. PRZECHOWYWANIE I TRANSPORT

Jednostki pamięci należy przechowywać bez opakowania, w pomieszczeniach zamkniętych, o temperaturze –35 ... +60°C, przy czym dla jednostek wyposażonych w dyski elastyczne zakres temperatury składowania jest ograniczony do +5 ... +53°C.

Wilgotność względna występującego w tych pomieszczeniach powietrza powinna mieścić się w granicach 20 ... 80%. Powietrze to nie powinno zawierać składników wywołujących niszczenie powłok ochronnych i części gumowych.

W czasie przechowywania jednostki pamięci nie powinny podlegać stałym lub przypadkowym drganiom i wstrząsom.

Transport jednostek pamięci powinien odbywać się krytymi środkami lokomocji przy zachowaniu właściwych dla tego typu wyrobów środków ostrożności. Opakowań nie należy rzucać, przewracać, ani też narażać na działanie deszczu, śniegu, mrozu, słońca itp.

12. OPIS DZIAŁANIA

Celem zrozumienia zasady działania jednostki pamięci i przedstawienia dokładniejszego jej opisu niezbędne jest omówienie sygnałów *Sww* określonych mianem sygnałów interface.
Sygnały te muszą być doprowadzone do płyty logiki (część sygnałów *Sww* zwana sygnałami wejściowymi) lub też po przetworzeniu w obrębie tej płyty wychodzą z niej na zewnątrz (sygnały wyjściowe). Układ sygnałów *Sww* na złączu płyty logiki przedstawia załącznik nr 1. Układ styków tego złącza odpowiada wtykowi ELTRA 801105001220021 z kluczem blokady między stykami *10* i *11* lub wtykowi typu AMP Twinleaf-25 pos (AMP 1-583717-1), mającemu klucz blokady między stykami *19/20* oraz *21/22*.

Sygnały wejściowe *Sww*

- LOAD° (Load head – docisk dysku do głowicy), niski stan tego sygnału powoduje dociśnięcie wybranego dysku do związanej z nim głowicy.

- DISKR° (Disk select – wybór dysku), dla stanu niskiego wybierany jest dysk prawy, dla stanu wysokiego wybierany jest dysk lewy.

- WRTEN° (Write enable – zezwolenie na zapis), niski stan tego sygnału pozwala na zapisanie na wybranej powierzchni danego dysku danych podawanych z jednostki sterującej.

- WRDTA° (Write date – dane zapisu), w okresach czasu, gdy WRTEN° jest w stanie niskim, zapisywana jest przednim zboczem każdego z podanych linią WRDTA° impulsów ujemnych ($t_p > 300$ ns) zmiana stanu magnetycznego.
  Jeżeli częstotliwość impulsów w linii WRDTA° zmniejszy się poniżej 115 kHz, układy logiczne w obrębie jednostki pamięci wstrzymają zapis danych na dysku.

- STPIN° (Step in – krok w przód), gdy STPIN° spada do stanu niskiego na przynajmniej 5 μs, a następnie wraca do stanu wysokiego, zostaje powiększony o 1 adres ścieżki. Gdy chcemy przesunąć głowicę o kilka ścieżek, następny impuls powinien pojawić się 5 ms po pierwszym, pozostałe zaś powinny następować z prędkością 400 kroków/s. Wymiana danych nie powinna nastąpić wcześniej, niż po 30 ms po ostatnim kroku tak, aby pozycjoner głowic miał czas na ustabilizowanie się. Dokładniej problemy te zostaną omówione w dalszej części przy przedstawieniu spraw związanych z zasilaniem silnika krokowego.

- STPOT° (Step out – krok w tył), impuls ten podobny jest do opisanego poprzednio z tym, że kierunek ruchu głowicy pod jego wpływem jest przeciwny, przy czym tak jak przy STPIN° impuls ujemny o czasie trwania 5 μs powoduje przesunięcie głowicy o jedną ścieżkę. Zmianą kierunku ruchu głowicy w środku sekwencji kroków nie jest możliwa, o ile nie zastosowano między krokami w jednym i drugim kierunku przerwy czasowej równej co najmniej 30 ms. Układ logiki w obrębie jednostki pamięci nie zezwala na przekroczenie ścieżki „–1", która została określona mianem ścieżki spoczynkowej (HOME).

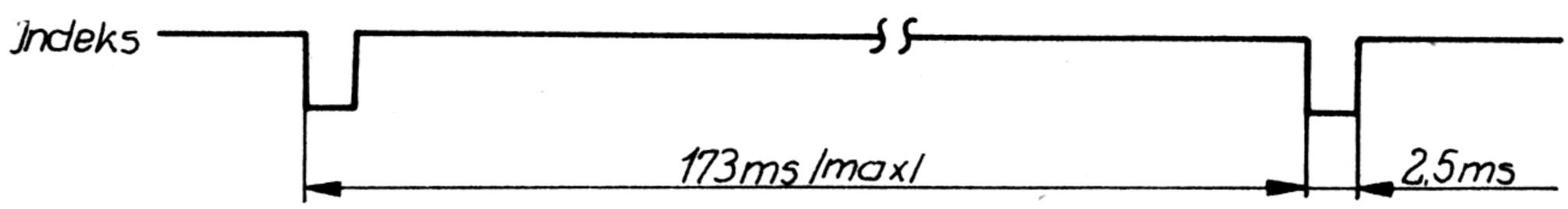
– RUN° (Unite enable – uaktywnienie jednostki pamięci), stan wysoki RUN° powoduje odłączenie silnika synchronicznego od sieci zasilającej oraz blokuje następujące funkcje jednostki pamięci: odczyt, zapis, docisk głowicy, ruch pozycjonera, sygnały gotowości (RDYL, RDYR). Typowym zastosowaniem tego sygnału jest zablokowanie ww. funkcji podczas stanów nieustalonych zasilacza przy pracy zdalnie sterowanej.

– ERSEN° (Erase enable – rozkaz kasowania tunelowego), ERSEN°, gdy jest w stanie niskim uaktywnia uzwojenie kasowania wybranej głowicy, w wyniku czego następuje ograniczenie szerokości zapisywanej ścieżki do 0,30 mm. Szczelina kasowania tunelowego jest usytuowana w odległości 0,81 ±0,76 mm za szczeliną odczytująco-zapisującą.

– ENABLE° (wybór jednostki), stan niski sygnału ENABLE° stanowi zezwolenie na dokonywanie operacji na dyskach jednostki oraz na transmisję danych z jednostki i na transmisję danych z jednostki do urządzenia zewnętrznego. Stan wysoki uniemożliwia dokonanie zapisu lub odczytu oraz ustawia w stan wysoki wyjścia OUTPUT°, CDATA°, RDATA°, RCLK°, RDYR°, RDYL°, INDXR°, INDXL°, RSDA°, LSDA°.
Sygnał ten jest wykorzystywany w przypadku współpracy kilku jednostek z jednym urządzeniem sterującym i pozwala na wybór określonej jednostki.

Sygnały wyjściowe *Sww*

– INDXL° (Left disk index signal – sygnał indeksowy dysku lewego), sygnał INDXL° jest impulsem ujemnym o czasie trwania ok. 2,5 ms, pojawiającym się raz na 1 obrót dysku lewego (patrz rys. 5).



Rys. 5. Przebieg czasowy sygnałów indeksowych

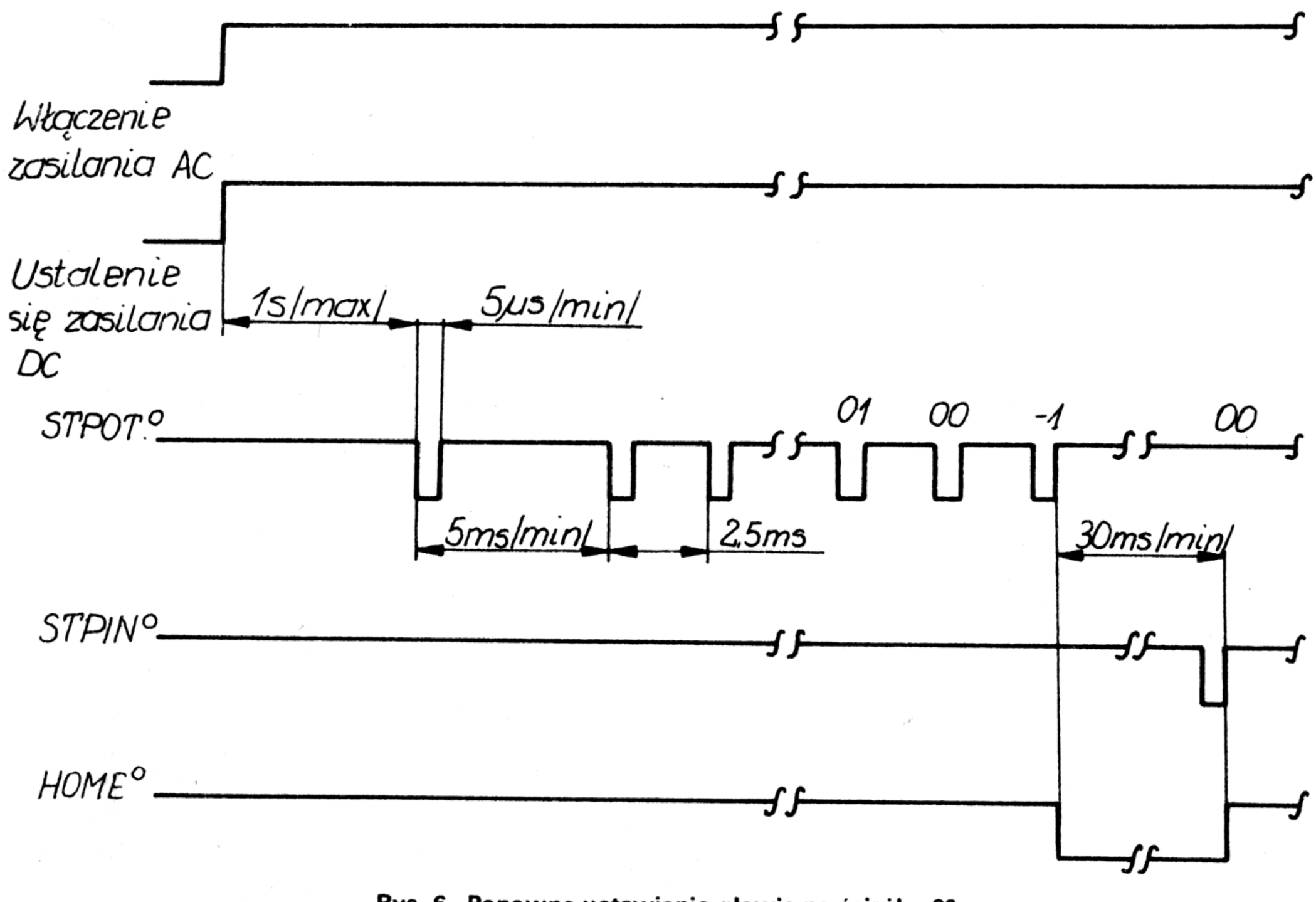
– INDXR° (Right disk index signal – sygnał indeksowy dysku prawego), sygnał jest analogiczny do INDXL° z tym, że odnosi się do dysku prawego, jeżeli dysk przestanie się obracać, sygnał indeksowy pozostanie w stanie wysokim (patrz rys. 5).

– LSDA° (Left disk side signal – sygnał strony dysku lewego), gdy dysk lewy wprowadzony jest do kasety w ten sposób, że strona „A" jest od strony głowicy, sygnał LSDA° jest w stanie niskim. Jeżeli dysk jest odwrócony stroną „B" w kierunku głowicy, sygnał LSDA° jest w stanie wysokim.
Stan sygnału LSDA° jest ważny po pierwszym impulsie INDXL°. Jeżeli dysk przestaje się obracać, sygnał pozostaje na dotychczasowym poziomie.

Strona dysku ,,A'' jest zdefiniowana jako strona, która oglądana przez okienko z prawej strony ma po wprowadzeniu dysku elastycznego do kasety otwór indeksowy nieco poniżej środka.

– RSDA (Right disk side signal – sygnał strony dysku prawego), sygnał ten odnosi się do dysku prawego tak jak sygnał LSDA° do dysku lewego.

– HOME° (Positioner home signal – sygnał stanu spoczynkowego pozycjonera), sygnał HOME°, gdy jest w stanie wysokim wskazuje, że pozycjoner głowicy znajduje się w strefie, gdzie dozwolone są operacje zapisu i odczytu. Gdy sygnał HOME° staje się niski, pozycjoner jest na ścieżce spoczynkowej ,,–1'' i żadna operacja zapisu lub odczytu nie może zostać przeprowadzona. Począwszy od tego momentu po zadaniu przynajmniej jednego STPIN°, sygnał HOME° przechodzi w stan wysoki, co oznacza, że głowice znajdują się poza ścieżką ,,–1'' (patrz rys. 6).
Niski stan HOME° jest konieczny przy wkładaniu lub wyjmowaniu dysku, jak również pożądany przy uruchamianiu lub zatrzymywaniu modułu pamięci.



Rys. 6. Ponowne ustawienie głowic na ścieżkę 00

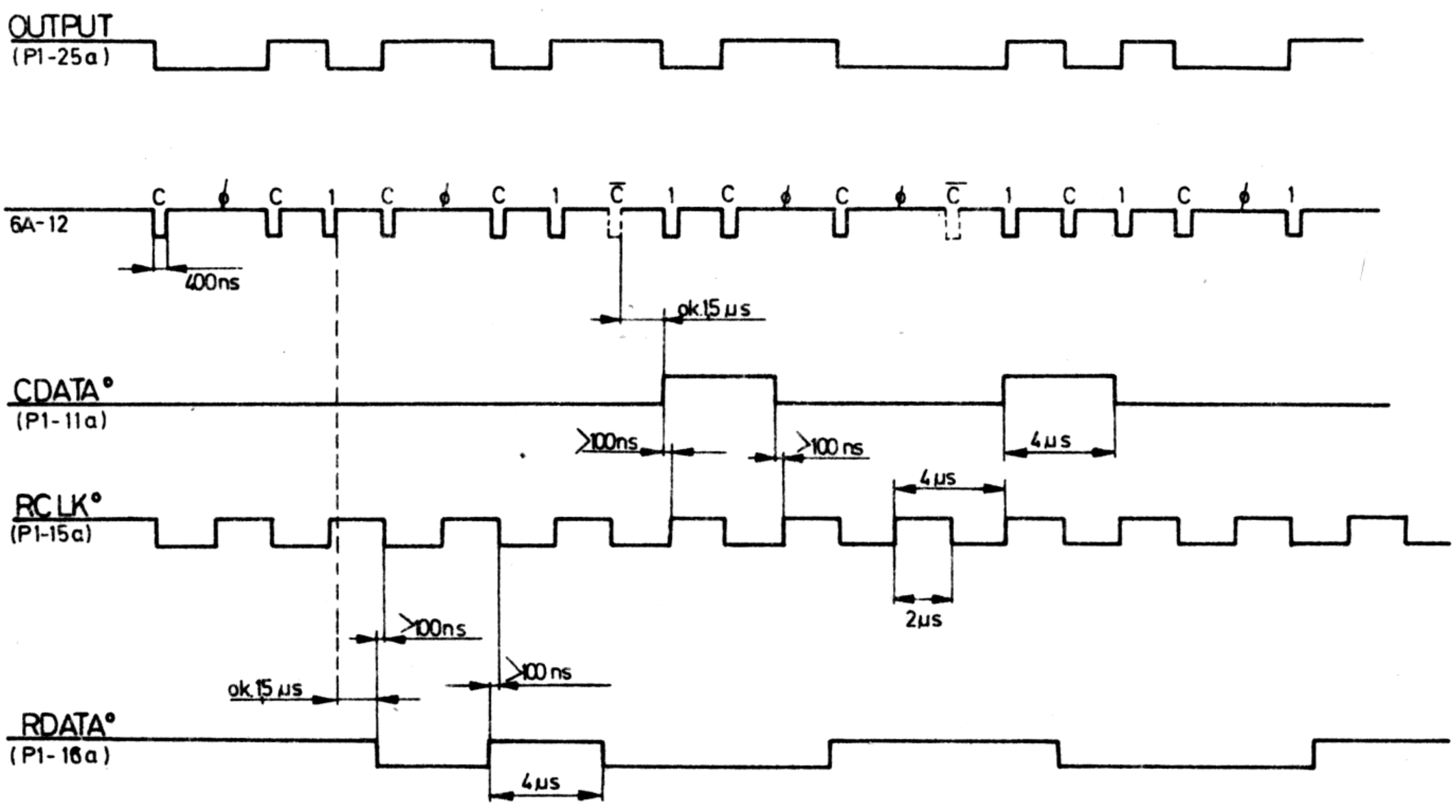
– RDYL° (Left disk ready signal – sygnał gotowości dysku lewego), RDYL° w stanie niskim oznacza, że na dysku lewym dozwolone są operacje zapisu i odczytu. Gdy stan ten jest wysoki, operacje te są zabronione. RDYL° jest niski, jeżeli niski jest sygnał RUN°, a dysk lewy obracał się przynajmniej przez 3,5 obrotu z prędkością 360 obr/min, dla umożliwienia zsynchronizowania jednostki pamięci z urządzeniem sterującym.

Jeżeli dysk lewy przestaje się obracać w wyniku otwarcia drzwiczek, zatrzymania silnika lub zakleszczenia dysku, sygnał RDYL° osiąga poziom wysoki po ok. 190 ms.
Sygnał RDYL° pozostaje w stanie wysokim, jeżeli w kasecie lewej nie ma dysku.

– RDYR° (Right disk ready signal – sygnał gotowości dysku prawego), sygnał RDYR° odnosi się do dysku prawego i spełnia te same funkcje co RDYL°.

– RDATA° (Read data – dane odczytane), sygnał RDATA° przedstawia dane odczytane z dysku RDATA°, jest w stanie niskim przez ok. 4 μs po odczytaniu bitu log. „1", a w wysokim przez ok. 4 μs po odczytaniu bitu „0" (patrz rys. 7).

– RCLK° (Read clock – zegar odczytu), RCLK° jest sygnałem prostokątnym, którego zbocze opadające rozpoczyna się po czasie większym od 100 ns po przejściu RDATA° w stan niski (patrz rys. 7).



Rys. 7. Przebiegi czasowe sygnałów odczytanych z dysku

– CDATA° (Clock data – dane zegarowe), CDATA° przedstawia dane zegarowe pochodzące z odczytu dysku. CDATA° jest w stanie niskim przez ok. 4 μs po odczycie bitu log. „1" i jest w stanie wysokim przez ok. 4 μs po odczycie bitu log „0" (patrz rys. 7).
Bit CDATA° jest określany jako poprzedzający odpowiedni bit danych w zapisie IBM.

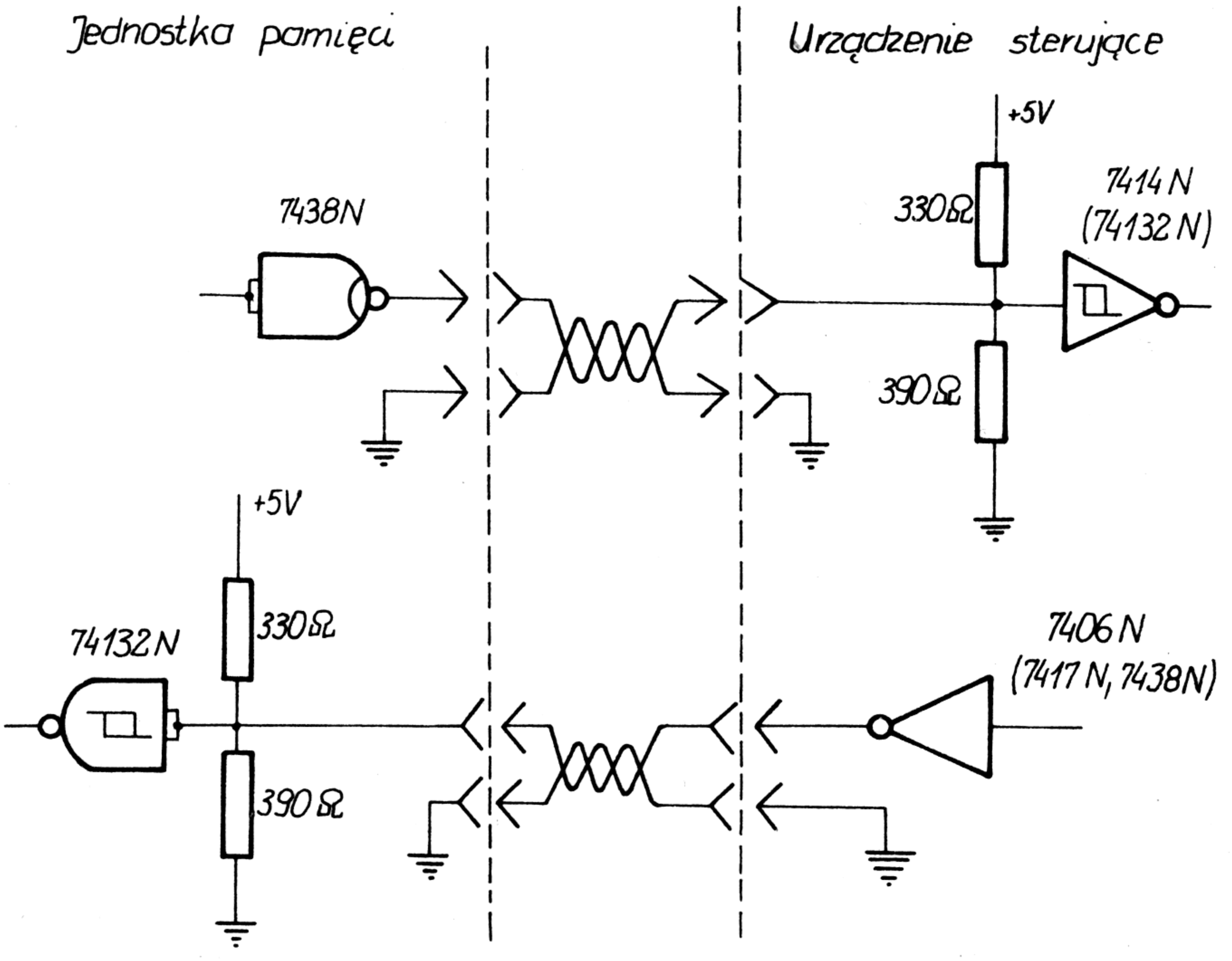
– OUTPUT° (dane wyjściowe). OUTPUT° przedstawia informację szeregową odczytaną z dysku. Każda zmiana stanu log. linii OUTPUT° odpowiada bitowi log. „1" odczytanemu z dysku. Sygnał może być wykorzystywany przy innej niż przyjęta dla PLx45D.5 technice zapisu.

Wszystkie ww. sygnały *Sww* przedstawione są w logice negatywnej, co zostało oznaczone przez odsyłacz (°). Tak przyjęta polaryzacja sygnałów zabezpiecza płytę logiki przed błędami wynikającymi ze złamania lub zerwania przewodów.

Obwody WEJ/WYJ płyty logiki

Każdy z sygnałów *Sww* dochodzi do płyty logiki lub też z niej wychodzi poprzez jej obwody WEJ/WYJ przedstawione na rys. 8.

Układy pokazanych na rys. 8 przerzutników Schmitta zastosowano celem zwiększenia odporności na szumy, układy zaś rezystorów 330/390 omów zostały zastosowane celem dopasowania obwodów WEJ/WYJ do par skręconych kabli – łączących płytę logiki z urządzeniem sterującym.



Rys. 8. Obwody WEJ/WYJ płyty logiki

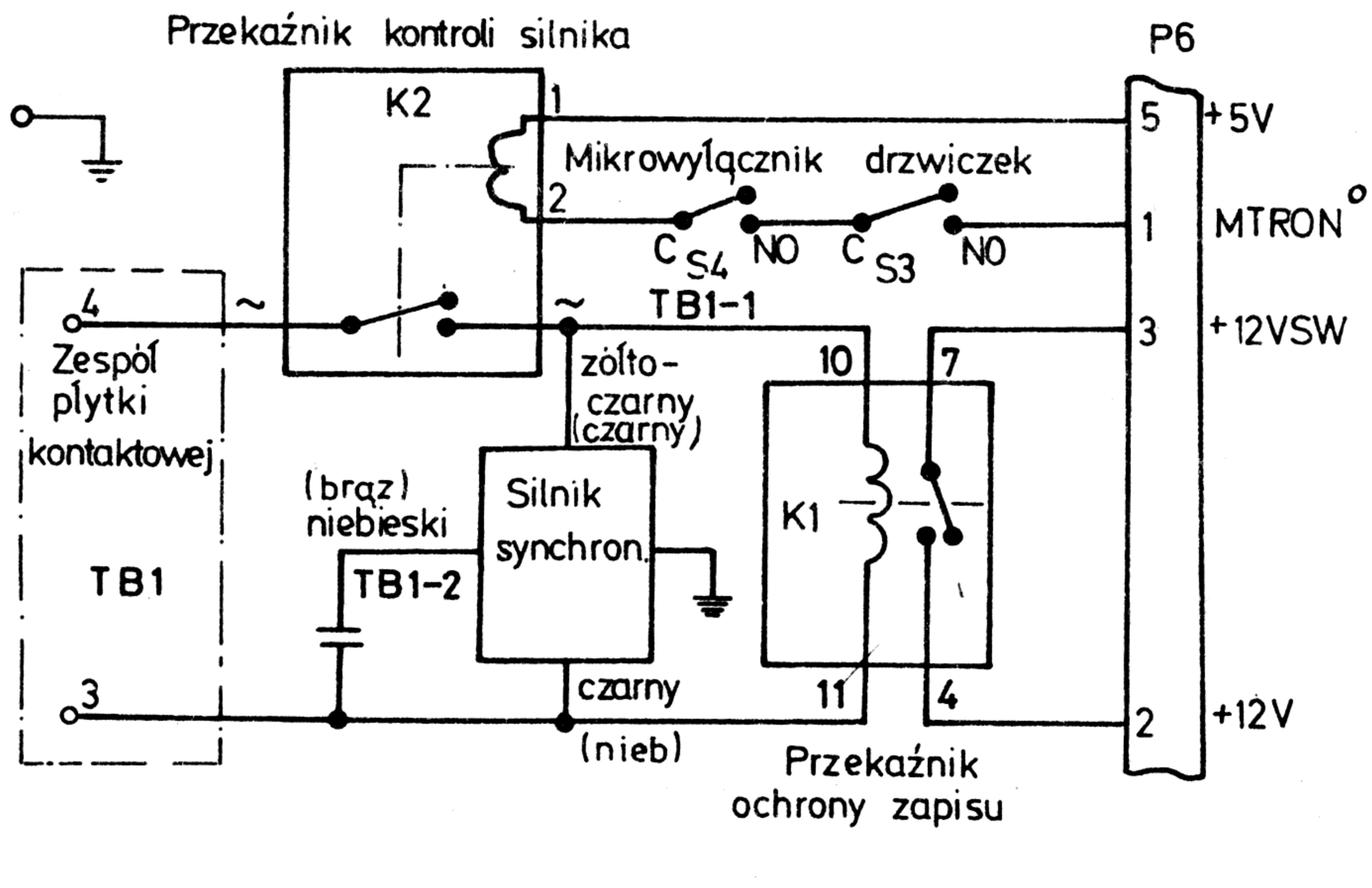
Zasilanie jednostki pamięci napięciem stałym i zmiennym

Oprócz omawianych sygnałów *Sww*, na złącze płyty logiki (patrz załącznik 1) należy dostarczyć z zewnętrznych zasilaczy określone napięcie stałe, przy czym nie jest wymagane, aby wszystkie one zostały dostarczone jednocześnie. Istnieją bowiem cztery możliwe warianty zasilania płyty logiki, co szczegółowo omówiono w p. 5.4 niniejszej DTR. W punkcie

tym podano również wymagane współczynniki stabilizacji oraz wielkości obciążeń prądowych. Możliwość zasilania płyty logiki na 4 różne sposoby wynika z istnienia w jej obrębie dwóch specjalistycznych układów wtórnikowych, przetwarzających napięcia dostarczone z zewnątrz na napięcia +12 V, +5V i–6V wymagane przez układy logiczne. Funkcje te pełnią pokazane na schemacie ideowym, będącym załącznikiem nr 2 do niniejszej DTR, tranzystory *Q14* i *Q15* diody Zenera *CR10* i *CR11* oraz związane z nimi rezystory i kondensatory.

Celem uruchomienia jednostki pamięci należy doprowadzić do niej również zasilania silnika synchronicznego i krokowego.

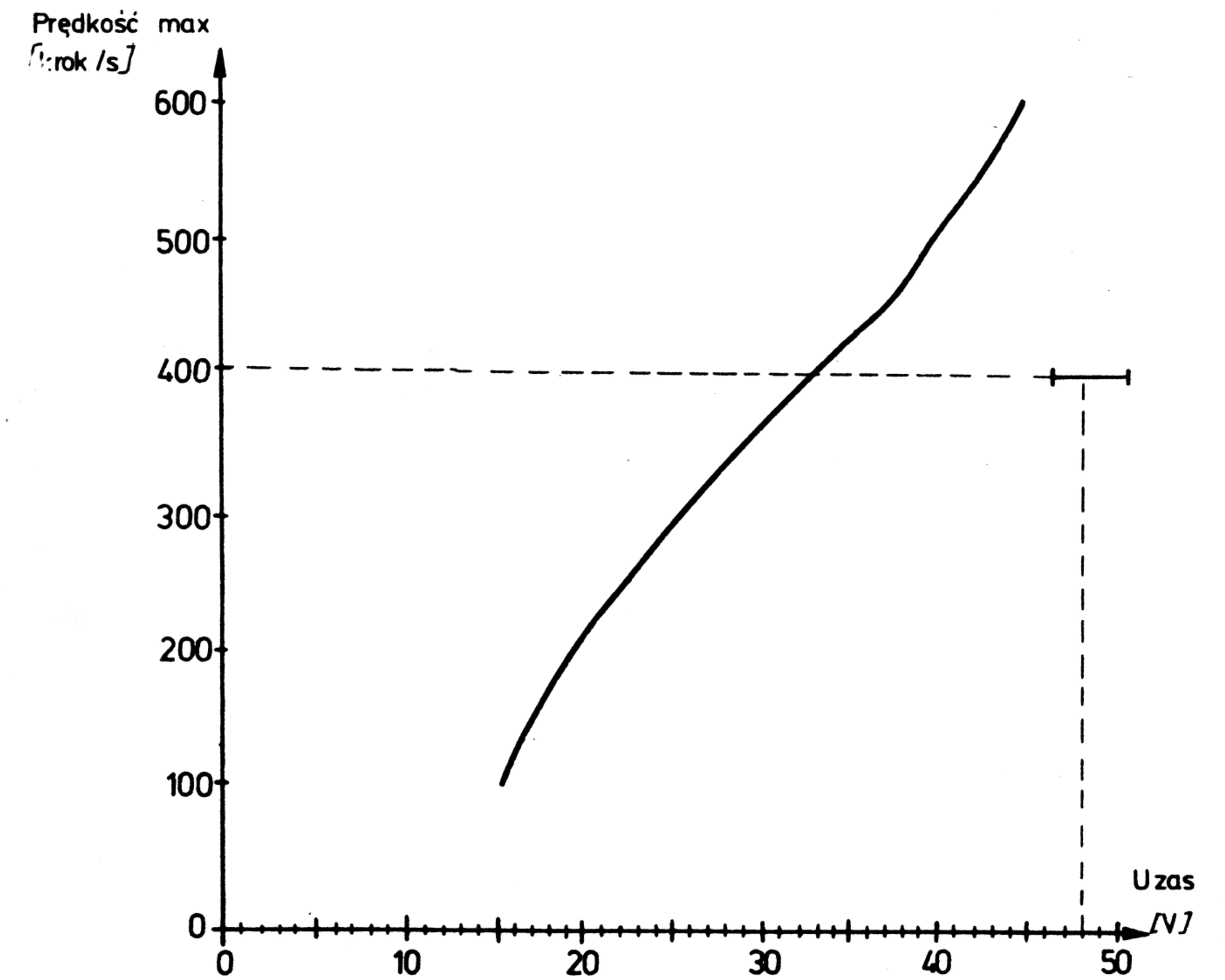
Schemat podłączenia silnika synchronicznego do sieci napięcia zmiennego pokazuje rys. 9. Jak widać z tego rysunku napięcie sieci należy doprowadzić do zacisków *3* i *4* zespołu płytki kontaktowej. W szereg z zaciskiem *4* połączone są mikrowyłączniki obu drzwiczek S_4 i S_3, które odłączają od jednostki pamięci napięcie sieciowe w przypadku otwarcia drzwiczek. Przekaźnik *K1*, montowany w jednostkach pamięci w dwóch wersjach zależnych od napięcia sieci, odłącza podawane z zasilacza napięcie +12 V od reszty układu elektronicznego, co jak już wspomniano w pkt. 3 pozwala uniknąć przypadkowego skasowania danych, gdy silnik synchroniczny pozbawiony zostaje zasilania.



Rys. 9. Schemat podłączenia silnika synchronicznego do sieci napięcia zasilania

Przekaźnik *K2* umożliwia zdalne sterowanie jednostki pamięci. Niski stan sygnału MTRON° uruchamia go i zwiera zacisk *4* zespołu płytki kontaktowej z zaciskiem *3* silnika synchronicznego. Przekaźnik *K2* podobnie jak i przekaźnik *K1*, montowany jest w wersji zależnej od napięcia sieci.

Silnik krokowy zasilany jest napięciem stałym doprowadzonym do płyty logiki za pośrednictwem złącza *P10* (styki *1* i *3*). Wielkość tego napięcia jest zależna od maksymalnej wymiennej dla silnika krokowego prędkości. Zależność tę przedstawia w postaci wykresu rys. 10, konkretne zaś wartości wymagane dla prędkości 200 i 400 kroków/s przedstawiono w p. 5.4



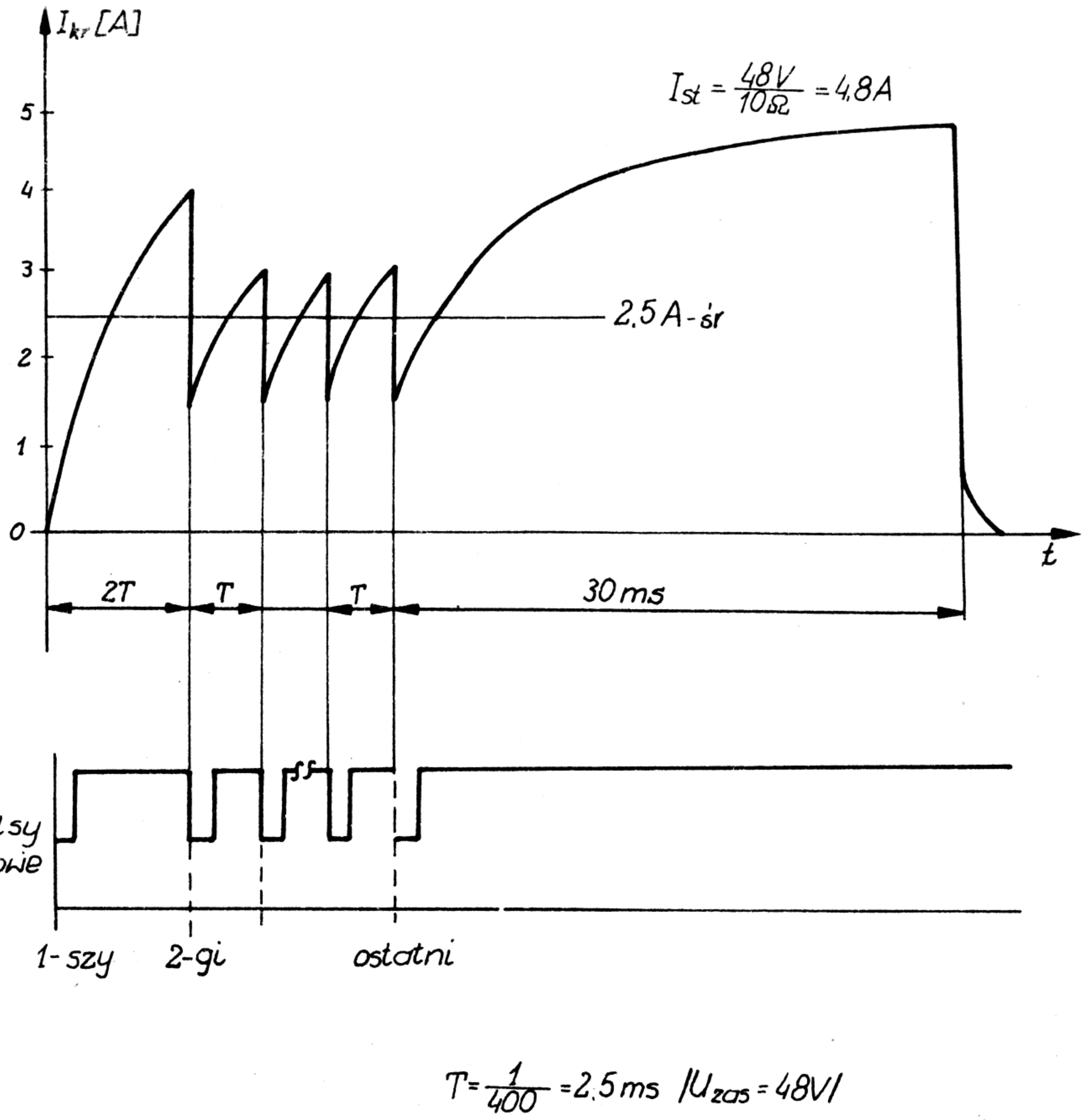
Rys. 10. Zależność wymaganego przez silnik krokowy napięcia zasilania w funkcji jego maksymalnej prędkości pracy

W stanie spoczynku silnik nie pobiera prądu, średnia natomiast jego wartość podczas pracy wynosi 2,5 A, co zostało pokazane na rys. 11.

Krzywą z rys. 11 możemy podzielić na 3 wyraźne części:

- pierwszy krok,
- kroki pośrednie,
- ostatni krok,

Natężenie prądu podczas pierwszego kroku jest wyraźnie wyższe niż w krokach następnych, podobnie dłuższy jest czas jego trwania. Związane jest to z koniecznością dostarczenia odpowiedniej energii, celem nadania pozycjonerowi prędkości 400 kroków/s. Energia dostarczana podczas kroków następnych podtrzymuje tylko tę prędkość, w wyniku czego czas ich trwania może być o połowę krótszy. Po ostatnim kroku układ sterowania sil-



Rys. 11. Typowy przebieg prądu pobieranego przez silnik krokowy przy napięciu zasilania 48 V i prędkości maksymalnej równej 400 kroków/s

nika utrzymuje prąd w jego uzwojeniach przez ok. 30,0 ms, co konieczne jest, aby pozycjoner ustabilizował swoje położenie. Podczas tego procesu prąd ograniczany jest wyłącznie przez rezystancję silnika, która wynosi ok. 10 omów. Zasilacz silnika krokowego musi zatem zapewnić ciągły pobór prądu o wartości 2,5 A oraz pobór prądu płynącego przez obciążenie o rezystancji 10 omów przez co namniej 30,0 ms.

Układ zespołu inicjatora

Schemat ideowy zespołu inicjatora przedstawia załącznik 3. Zespół inicjatora składa się z układu elektronicznego zbudowanego z dwóch inicjatorów, scalonego sześciokrotnego inwertera, 6 rezystorów oraz płytki i złącza z wyprowadzeniami.

W zależności od położenia pozycjonera głowic wchodzi między diodę świecącą i fototranzystor każdego z inicjatorów, sprzężona z pozycjonerem, przesłona. W przypadku, gdy

pozycjoner jest w pozycji spoczynkowej przesłona przesłania obie diody tak, że prąd obu fototranzystorów jest równy zeru, czyli że sygnał HOMES i WRCRT° mają stan wysoki. Dla ścieżek 00 ÷ 44 przesłaniana jest tylko dioda z inicjatora IC2 tak, że HOMES jest w stanie niskim, zaś WRCRT° w stanie wysokim. Po przekroczeniu ścieżki 44 nie jest przesłaniana żadna z diod, czyli że zarówno HOMES jak i WRCRT° są w stanie niskim, w rezultacie czego następuje automatyczne zmniejszenie prądu zapisu (patrz załącznik 2).

Układ zespołu płyty logiki

Schemat ideowy płyty logiki przedstawia załącznik 2. Na schemacie tym oprócz elementów elektronicznych zamontowanych na płycie logiki na stałe pokazano również wszystkie wchodzące w nią złącza, tj. *P1*, *P3*, *P5*, *P6*, *P7*, *P8*, *P9*, *P10*, a także uzwojenia silnika krokowego, uzwojenia elektromagnesów docisku obu dysków, uzwojenia głowic obu dysków, zespoły fotoczujników indeksu i uzwojenia elektromagnesu blokady drzwiczek. Omówienie schematu ideowego zostanie przeprowadzone na podstawie reakcji, jakie w płycie logiki wywołują określone wejściowe sygnały *Sww*. Przed tym należy jednak zaznaczyć, że omawianie to zaczyna się od momentu, w którym w obu kasetach znajdują się dyski, drzwiczki kaset są zamknięte i doprowadzone jest napięcie zasilające płytę logiki i oba silniki.

Jak wynika z analizy sygnałów *Sww*, aby jednostka pamięci mogła spełniać jakiekolwiek funkcje musi być w stanie niskim sygnał RUN° oraz ENABLE°. Sygnał ENABLE° jest na stałe ustawiany w stan niski przez zwarcie go zworą *G – H*, znajdującą się na płycie logiki, do masy. Wykorzystanie ENABLE° jest możliwe dopiero po rozcięciu zwory.

Niski stan sygnału RUN° wywołuje niski stan sygnału MTRON°, czego rezultatem jest zadziałanie przekaźników *K2* i *K1* (rys. 9), a zatem doprowadzone są: napięcie sieci do silnika synchronicznego oraz napięcie +12 V SW do określonych obwodów płytki logiki. Nadto występuje naładowanie licznika *7C*, a także zmiana stanu na wysoki sygnału RUN oraz zmiana stanów szeregu innych bramek, co wynika ze schematu płyty logiki.

W międzyczasie zaczynają się obracać, pod wpływem napędu uzyskiwanego z silnika synchronicznego, dyski elastyczne, czyli mogą zostać ładowane do poziomu odpowiadającego stanowi wysokiemu kondensatory występujące w obwodzie emitera określonego fototranzystora z zespołu fotoczujnika indeksu. I tak np. przy włożeniu dysku prawego stroną „A", a dysku lewego stroną „B" nastąpi naładowanie kondensatorów *C42* i *C45*. Spowoduje to wysterowanie tranzystorów *Q16* i *Q19*, co przyczyni się do ustawienia przerzutników zbudowanych z bramek *2D*: pierwszego w stan wysoki, drugiego – w stan niski. W rezultacie uzyskamy niski stan sygnału RSDA° i wysoki LSDA°, a także wysoki stan wyjść *6* i *11* bramek *1D*, co będzie przyczyną powstania impulsu o szerokości określonej elementami *R81/C47* i *R80/C46* na wyjściach *13* i *5* podwójnego multiwibratora monostabilnego *2E* oraz stanu wysokiego na wyjściach *9* podwójnych przerzutników *D* oznaczonych symbolami *3F* i *2F*. Sygnały RDYL i RDYR osiągną zatem stan wysoki, zaś sygnały INDXR° i INDXL° będą występować w postaci impulsów ujemnych po każdorazowym przejściu otworu indeksowego danego dysku przez zespoły fotoczujników indeksu.

Z kolei należy wybrać odpowiednią ścieżkę i sektor, na których ma być zapisana lub z których ma być odczytana dana informacja. Funkcję tę, w przypadku ścieżek, realizują sygnały STPIN° (krok w przód) i STPOT° (krok w tył), w zależności od aktualnego położenia pozycjonera określonego stanem sygnału HOME°.

Generując np. 1 impuls STPIN°, wprowadzany jest na wejście *CD* (count down) licznika *7C* impuls ujemny, co zmienia stan jego wyjść q_A i Q_B oraz powoduje zagenerowanie przez

multiwibrator *SD* na wyjściu *Q* impulsu ujemnego, uaktywniającego bramki *7E*. Impuls ten pojawiać się będzie każdorazowo przy generowaniu sygnału STPIN°. W rezultacie więc na skutek dekowania sygnałów z wyjść Q_A i Q_B licznika *7C* będą się zmieniać każdorazowo stany wejść *2, 5, 9* i *12* bramek *7E* czyli będą odtykane w odpowiedniej kolejności tranzystory *Q5, Q6, Q7, Q8* i tranzystory *Q1, Q2, Q3, Q4*. W takiej samej więc kolejności będzie zamykał się obwód prądu stałego dla uzwojeń *E2, E3, E4* i *E5* silnika krokowego, czyli będą następowały jego kroki oraz ruch sprzężonego z nim pozycjonera.

Dla spoczynkowego położenia pozycjonera stan sygnału HOMES° wychodzącego z płyty inicjatora jest niski. Ponieważ jednoczesnie stan wejścia *4* bramki *9B* będzie wysoki, zatem sygnał HOME° będzie w stanie niskim. Po wykonaniu jednego kroku zmieni się na niski stan wejścia *5* bramki *9B*, co gwarantować będzie wysoki stan HOME° w obrębie ścieżek 00 ÷ 76, czyli również zablokowanie drzwiczek na skutek zadziałania elektromagnesu blokady drzwiczek DRLCK SEL.

Po osiągnięciu odpowiedniej ścieżki wybiera się odpowiedni dysk (lewy lub prawy) oraz realizuje jego dociśnięcie do właściwej głowicy. Niski stan sygnału DISKR° (wybieranie dysku prawego), przy jednoczesnym wysokim stanie RDYR wywołuje niski stan wejść *3* i *11* obwodu *5C*, a więc otwarcie odpowiednich bramek tego obwodu.

Dociśnięcie wybranego dysku nastąpi przez ustawienie sygnału LOAD° w stan niski. Dla opisywanego przypadku zamyka się poprzez tranzystor *Q9* obwód prądu stałego dla elektromagnesu docisku dysku prawego SELR, a także poprzez tranzystor *Q12* obwód prądu stałego dla uzwojeń głowicy prawego dysku.

W tym momencie sytuacja w jednostce pamięci jest taka, że głowica ślizga się po wybranym dysku i następuje za pośrednictwem jednostki sterującej identyfikacja odpowiedniego sektora. W ten sam sposób, tzn. za pośrednictwem jednostki sterującej następowała analiza uzyskanych uprzednio wyjściowych sygnałów *Sww* i generowanie odpowiednich sygnałów wejściowych. Podobna uwaga dotyczyć będzie również następnych fragmentów pracy jednostki pamięci.

W przypadku, jeśli mamy realizować zapis informacji konieczne jest wymuszenie niskiego stanu sygnału zezwolenia na zapis WRTEN°. Jego konsekwencją jest odseparowanie bramek *6E* od wpływu sygnałów STPIN° i STPOT° przez nadanie stanu niskiego ich wejściom *2* i *12*. Stan wysoki osiągają wejście *3* monowibratora *5D* oraz wejście *1* przerzutnika *4B*, co przygotowuje jednostkę pamięci do zapisu.

Pojawienie się w takiej sytuacji na wejściu WRDTA° impulsu ujemnego spowoduje wyzwolenie monowibratora *5D* na okres ok. 13 μs, czyli niski stan sygnału WRTG°. Każdy następny impuls WRDTA° pojawiający się po czasie niż 13 μs powoduje przedłużenie niskiego stanu WRTG°.

Ciąg impulsów WRDTA podawany jest na wejście *3* przerzutnika *4B*, powodując po każdym impulsie zmianę jego stanu, co sprawi przepływ prądu raz przez jedną, raz przez drugą połowę uzwojenia pierwotnego transformatora dopasowującego *T1*.

Da to w konsekwencji przepływ prądu przez uzwojenie głowicy ZAP/OD, raz zgodnie z kierunkiem przewodzenia diody *CR15* (część uzwojenia między stykami *1* i *2* złącza *P5*), a drugi raz zgodnie z kierunkiem przewodzenia diody *CR16* (część uzwojenia między stykami *3*

i *2* złącza *P5*). W rezultacie każdy impuls z sygnału WRDTA° powodować będzie zmianę kierunków prądu płynącego przez uzwojenie głowicy ZAP/OD, czyli każdorazową zmianę kierunku strumienia. Oczywiście w każdym wypadku obwód prądu zostaje zamknięty przez wysterowany uprzednio tranzystor *Q12*. Jeżeli zapis następuje z jednoczesnym kasowaniem tunelowym, tzn. stan niski posiada sygnał ERSEN°, odetkany zostaje tranzystor *Q20*, umożliwiający przepływ prądu przez uzwojenie kasowania tunelowego dołączone do styków *2* i *5* złącza *P5*. Jeżeli natomiast realizujemy odczyt informacji z dysku, wówczas odszukiwanie żądanego sektora zachodzi w sposób podobny jak przy zapisie z tym, że sam odczyt następuje przy wysokim stanie sygnału WRTEN°, który zeruje przerzutnik *4B* i ustawia sygnał WRTG° w stan wysoki, blokując bramki *2B*.

Przy odczytywaniu informacji np. z dysku prawego uaktywniona zostaje głowica *HDR*. Zamknięty zostaje wtedy obwód: rezystory *R37*, *R38*, diody *CR21*, *CR16* i uzwojenie *3-2* głowicy *HDR*, tranzystor *Q12*, MASA lub też: rezystory *R37, R39*, diody *CR20*, *CR15*, uzwojenie *1-2* głowicy *HDR*, tranzystor *Q12*, MASA.

Powstałe w ten sposób na rezystorach *R38* i *R39* sygnały są wzmacniane przez wzmacniacze scalone *US1* i *US2*. Wzmocniony sygnał podawany jest na wejścia *3* i *4* komparatora *US3*. Na jego wyjściu uzyskuje się sygnał OUTPUT, będący odwzorowaniem stanów magnetycznych zapisanych na dysku. Każda zmiana stanu tego sygnału powoduje wygenerowanie przez układ zbudowany z bramki *5A* inwertera *4A* i kondensatora *C38* krótkiego impulsu wyzwalającego multiwibratory monostabilne 6A. Pierwszy z tych multiwibratorów generuje impulsy o czasie trwania ok. 400 ns i drugi ok. 800 ns. Impulsy 800 ns porównywane są z impulsami zegara 500 kHz (wyjście Q_D obwodu *8B*). W przypadku przesunięcia czasowego między tymi sygnałami następuje przestrojenie napięciem pochodzącym z wyjścia *11* bramki *7A* generatora zbudowanego na bramce *9A* aż do zsynchronizowania obu sygnałów. Ciąg impulsów z generatora jest dzielony kolejno przez 16 (obwód *8B*) oraz przez 2 (obwód *4B*), dając w efekcie sygnał o częstotliwości ok. 250 kHz.

Oddzielenie danych i danych zegarowych odbywa się w układzie przerzutników *6B* i *7B*. W czasie dodatniego półokresu zegara 250 kHz pojawiający się na wyjściu *12* obwodu *6A* impuls 400 ns (odpowiada to zmianie stanu sygnału OUTPUT, a więc odczytaniu z dysku bitu „1") powoduje wpisanie jedynki do pierwszego z przerzutników *6B*. Zostaje ona następnie przepisana opadającym zboczem zegara do drugiego przerzutnika, którego wyjście *Q* dołączane jest do linii CDATA.

Sygnał RDATA otrzymuje się tak samo z tym, że wpis do pierwszego z przerzutników *7B* odbywa się w czasie ujemnego półokresu zegara 250 kHz.

W przypadku zamienienia przez układ danych RDATA z danymi zegarowymi CDATA, zostaje to wykryte na podstawie braku 4 kolejnych bitów w sygnale CDATA. Do tego celu służy licznik *3B*. Zostaje on odblokowany w przypadku braku bitu danych zegarowych i wówczas zlicza impulsy 250 kHz. Po 4 takich impulsach następuje na krótki okres czasu zablokowanie przerzutnika *4B*, co powoduje zmianę fazy impulsów wyjściowych z tego przerzutnika.

Sygnał RCLK uzyskiwany jest z ciągu impulsów 250 kHz przez opóźnienie ich w układzie inwerterów *4A* i kondensatorów *C53*, *C54* o ok. 200 ns. Pozwala to na ustalenie się wyjść CDATA° i RDATA ° przed pojawieniem się odpowiedniego zbocza RCLK°.

Celem ułatwienia użytkownikom i osobom z serwisu wyszukania określonego elementu elektronicznego dołączono wymienione poniżej rysunki i schematy na które nie powoływano się dotychczas w niniejszej DTR. Są to:

Zał. 4. Lokalizacja elementów płyty logiki
Zał. 5. Układ ścieżek płyty logiki
Zał. 6. Lokalizacja elementów płyty inicjatora
Zał. 7. Układ ścieżek płyty inicjatora
Zał. 8. Lokalizacja elementów zespołu fotoczujnika indeksu

Elementy regulacyjne i manipulacyjne

Wewnątrz jednostki pamięci znajdują się następujące elementy regulacyjne i manipulacyjne:

- potencjometr *R87* (płyta logiki) służy do ustawienia częstotliwości generatora *9A*,
- zespół zatrzasku (widoczny przez otwór umieszczony w dolnej części płyty czołowej) – uniemożliwienie przypadkowego wysunięcia się jednostki pamięci z kasety, w której jest zamontowana.

13. MONTAŻ

Celem zapewnienia poprawnego działania jednostki pamięci należy dokonywać jej montażu w podanej poniżej kolejności.

1. Wyjąć jednostkę pamięci wraz z wyposażeniem z opakowania.
2. Podłączyć do zespołu płytki kontaktowej, umieszczonego na płycie podstawy z lewej strony (patrząc od strony drzwiczek), kabel sieciowy (wg rys. 9a).
3. Wsunąć płytę podstawy do połowy prowadnic teleskopowych obudowy systemu.
4. Podłączyć do płyty logiki złącze doprowadzające sygnały *Sww*.
5. Podłączyć do gniazda *P10* umieszczonego na płycie logiki napięcie zasilania silnika krokowego.
6. Docisnąć płytę podstawy do oporu.
7. Przekręcić śrubę zespołu zatrzasku celem zabezpieczenia jednostki pamięci przed samoczynnym wysunięciem się z prowadnic.
8. Włożyć wtyk kabla sieciowego do gniazdka sieci zasilającej.
9. Ustawić sygnał RUN° w stan niski, wycofać głowice do położenia spoczynkowego sygnałem STPOT°, otworzyć drzwiczki i włożyć do kaset dyski elastyczne.

W przypadku, gdy jednostka pamięci nie pracuje, w pamięci produkowanej przez MERA-KFAP zmieni się odpowiednio treść pkt. 3, 6, 7 i 9.

14. URUCHOMIENIE I OBSŁUGA

Po zamontowaniu jednostki pamięci w obrębie pamięci wyprodukowanej przez MERA-KFAP nie trzeba wykonywać już żadnych innych czynności manualnych (dotyczy jednostki pamięci), gdyż jej sterowanie następować będzie od tego momentu automatycznie, tzn. za pośrednictwem selektora i formatora. Jeśli jednostka pamięci będzie niesprawna lub źle zamontowana zostanie wykazany brak gotowości do operacji na danym dysku (wysoki stan RDYL° lub RDYR°).

W przypadkach pracy jednostki pamięci z inną niż produkowana w MERA-KFAP jednostką sterującą treść tego punktu powinna być przez użytkownika uzgodniona.

15. KONSERWACJA I KONTROLA OKRESOWA

Konstrukcja urządzenia gwarantuje średni czas pracy bezawaryjnej 1000 godzin, średni czas naprawy 1 godzinę i średni czas konserwacji zapobiegawczej 15 minut.

Zabiegi konserwatorskie dotyczące poszczególnych części należy przeprowadzać z następującą częstotliwością:

a) codziennie:
   - oczyszczenie głowic magnetycznych (2 szt.) przed rozpoczęciem pracy jednostki pamięci (alkoholem etylowym);

b) co 200 godzin pracy jednostki pamięci, lecz nie rzadziej niż co 2 miesiące:
   - pokrywanie smarem powierzchni prowadnic głowic (4 szt.) stykających się ze wspornikami głowic,
   - pokrywanie smarem stykających się ze wspornikami głowic powierzchni sprężyn głowic II (2 szt.),
   - pokrywanie smarem stykających się z dociskaczem powierzchni nakładek dociskowych (2 szt.),
   - pokrywanie smarem zewnętrznej powierzchni pręta stabilizatora zewnętrznego.

Zalecanym typem smaru jest smar Dow 33 firmy Dow Corning Corporation (USA) lub olej silikonowy SILOL 1000 produkcji krajowej. Należy go rozprowadzać po powierzchniach konserwowanych warstwami cienkimi i równomiernymi.

Z taką samą częstotliwością i w taki sam sposób, lecz smarem grafitowym należy pokrywać powierzchnie, prowadzące zatrzaski kulkowe drzwiczek.

16. NIEDOMAGANIA I ICH USUWANIE

Jednostka pamięci na dyskach elastycznych PLx45D.5 jest urządzeniem stosunkowo skomplikowanym i dlatego też wykaz niedomagań, które dopuszcza się do naprawy przez klienta w okresie gwarancji, bez jednoczesnej utraty praw gwarancyjnych, ogranicza się tylko do sprawdzenia i ewentualnej naprawy lub wymiany kabla i wtyczki sieciowej, kabla i wtyku doprowadzającego napięcie zasilania silnika krokowego oraz kabla i złącza doprowadzającego sygnały *Sww*.

W przypadku stwierdzenia innych niedomagań należy przesłać do producenta jednostki pamięci odpowiednie dane określone szczegółowo postanowieniami karty gwarancyjnej.

17. DEMONTAŻ

Demontaż jednostki pamięci należy przeprowadzić w poniższej kolejności.

1. Wyjąć wtyk kabla sieciowego jednostki pamięci z gniazdka sieci zasilającej.
2. Odblokować zespół zatrzasku.
3. Wysunąć jednostkę pamięci z prowadnic teleskopowych.
4. Odłączyć od jednostki pamięci złącze doprowadzające sygnały *Sww* i napięcie zasilania silnika krokowego.
5. Wyciągnąć jednostkę pamięci z prowadnic do końca.
6. Odłączyć od zespołu płytki kontaktowej pamięci kabel sieciowy.
7. Umieścić jednostkę pamięci wraz z wyposażeniem w opakowaniu.

W przypadku, gdy jednostka pamięci pracować będzie w obrębie pamięci innej niż wyprodukowana przez MERA-KFAP zmieni się odpowiednio treść pkt. 3 i 5.

ZAŁĄCZNIK 1

Układ sygnałów *Sww* na złączu płyty logiki

1a – ..... +5 V	1b – Masa
2a – ..... +5 V	2b – Masa
3a – ..... RSDA°	3b – Masa
4a – ..... INDXL°	4b – Masa
5a – ..... RDYL°	5b – Masa
6a – ..... INDXR°	6b – Masa
7a – ..... RDYR°	7b – Masa
8a – ..... LSDA°	8b – Masa
9a – ..... LOAD°	9b – Masa
10a – ..... DISKR°	10b – Masa

BLOKADA

11a – ..... CDATA°	11b – Masa
12a – ..... WRDTA°	12b – Masa
13a – ..... WRTEN°	13b – Masa
14a – ..... RUN°	14b – Masa
15a – ..... RCLK°	15b – Masa
16a – ..... RDATA°	16b – Masa
17a – ..... HOME°	17b – Masa
18a – ..... STPOT°	18b – Masa
19a – ..... STPIN°	19b – Masa
20a – ..... +24 V	20b – Masa
21a – ..... –6 V	21b – Masa
22a – ..... –12 V	22b – Masa
23a – ..... +12 V	23b – Masa
24a – ..... ERSEN°	24b – Masa
25a – ..... OUTPUT	25b – ENABLE°

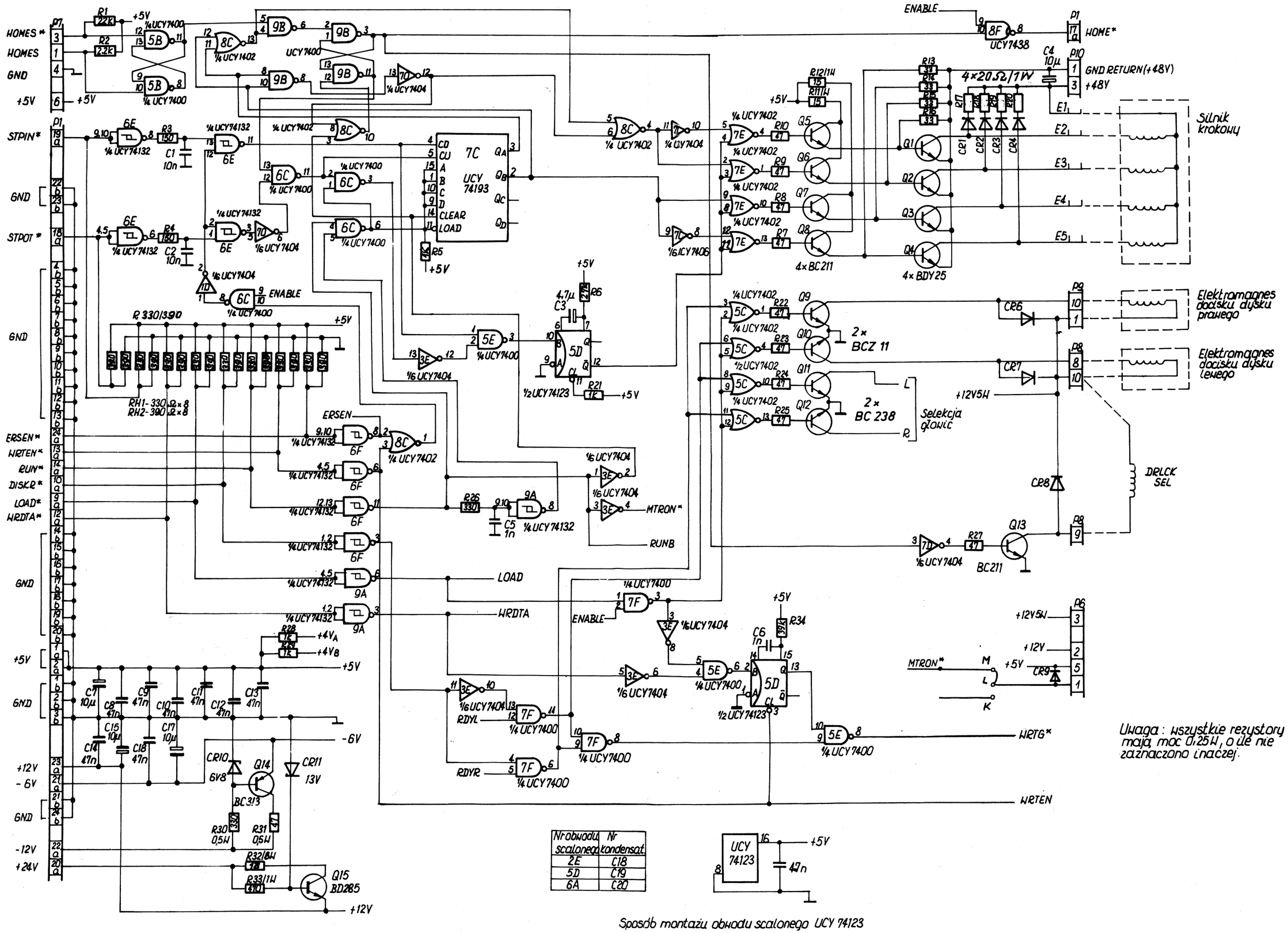
W PRZYPADKU TRUDNOŚCI W URUCHOMIENIU LUB EKSPLOATACJI PRZYRZĄDÓW ZAKŁAD NASZ UDZIELA INFORMACJI I PORAD TECHNICZNYCH.

PROSIMY UŻYTKOWNIKÓW NASZYCH WYROBÓW O NADSYŁANIE POD ADRESEM WYTWÓRCY UWAG I OPINII O DZIAŁANIU APARATÓW.

NADESŁANE UWAGI POSTARAMY SIĘ UWZGLĘDNIĆ W NASTĘPUJĄCYCH SERIACH PRODUKCYJNYCH.

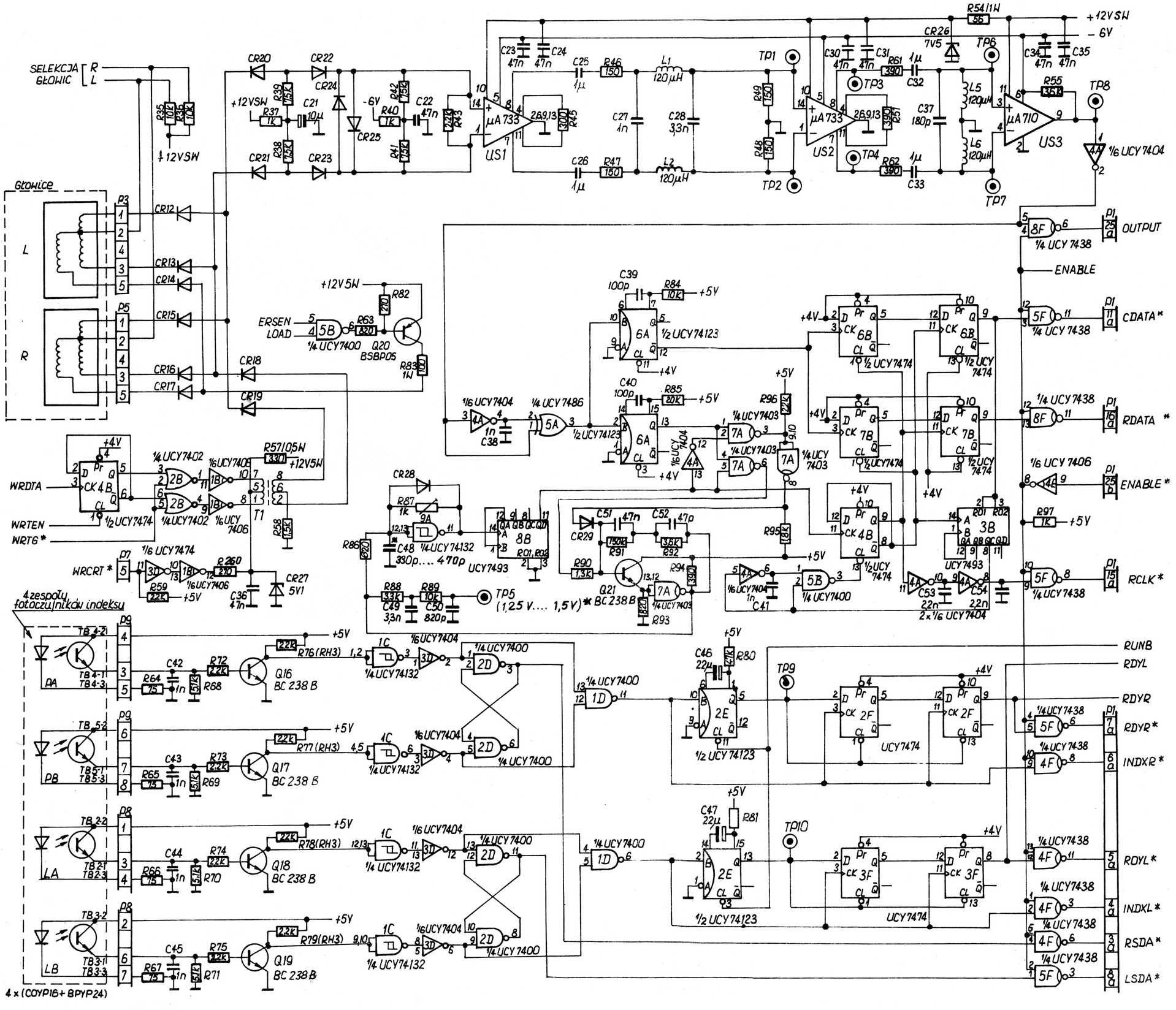
Zastrzega się wprowadzanie zmian konstrukcyjnych, materiałowych lub wyposażenia.

WEMA – 2000+50 – 101/86/F



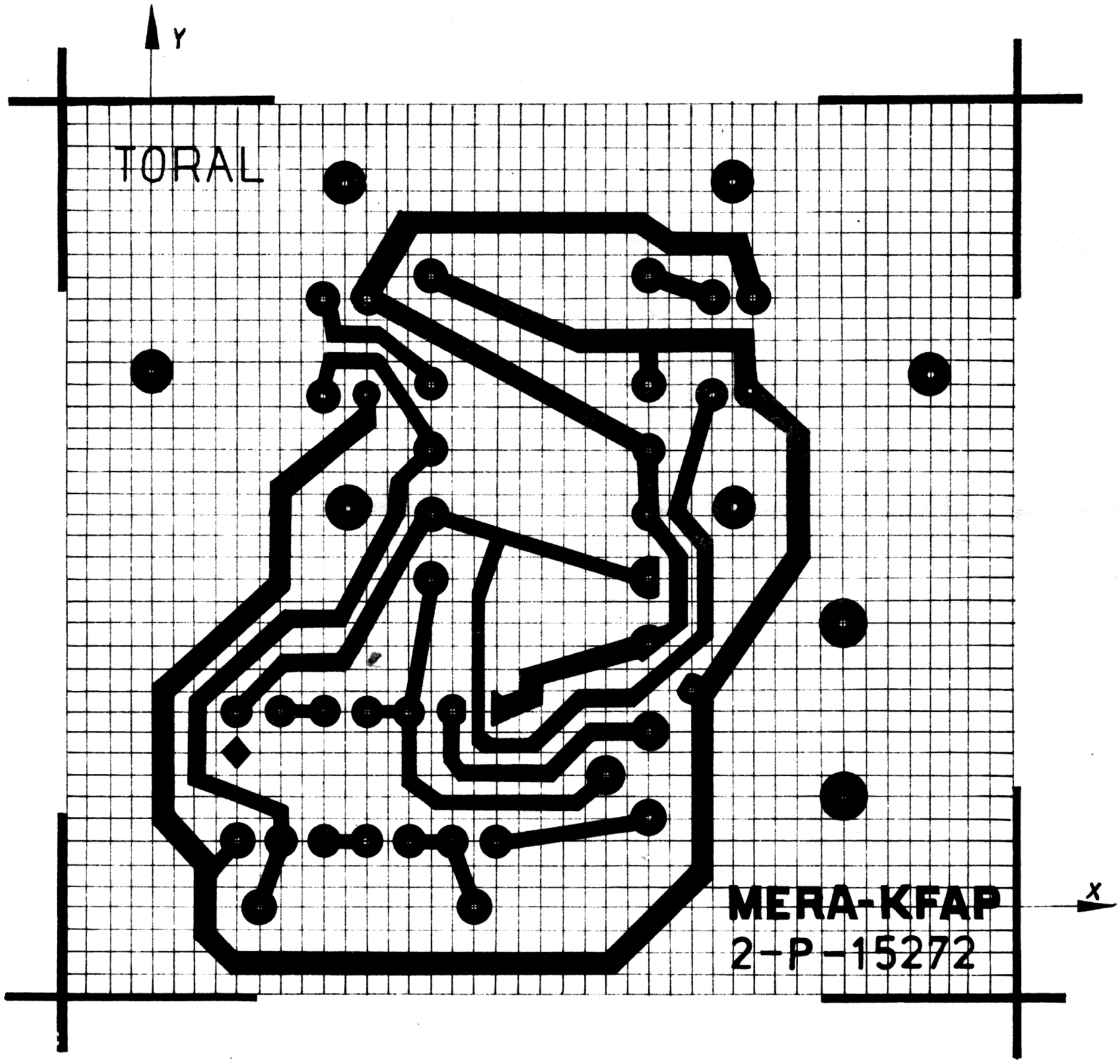
Nr obwodu scalonego	Nr kondensat.
2E	C18
5D	C19
6A	C20

Sposób montażu obwodu scalonego UCY 74123



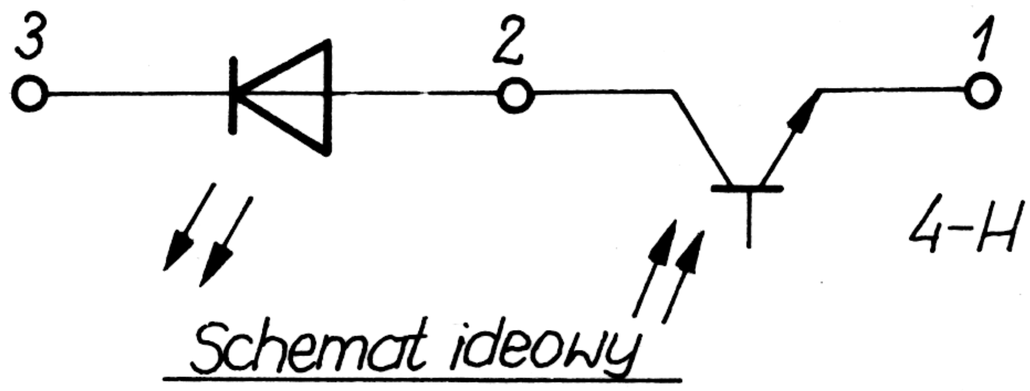
Uwaga: wszystkie rezystory mają moc 0,25W, o ile nie zaznaczono inaczej

2)* Kondensator C48 dobierany zgodnie z instrukcją strojenia 4-6-42869 i odpowiadające jemu napięcia w punkcie TP5


Y
TORAL
MERA-KFAP
2-P-15272
X

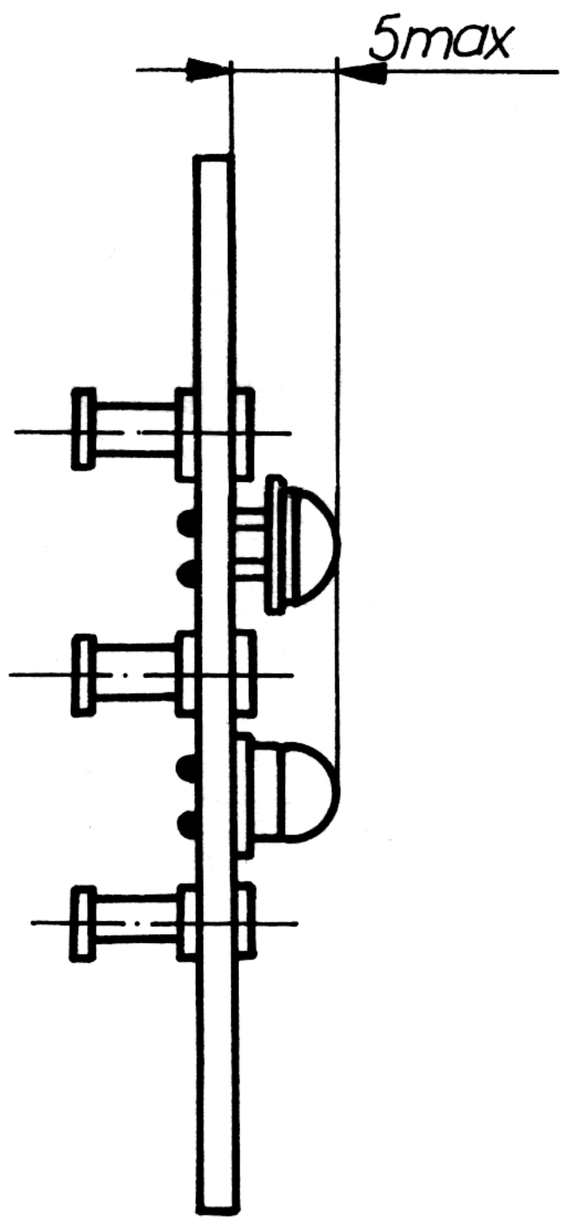
Załącznik 8

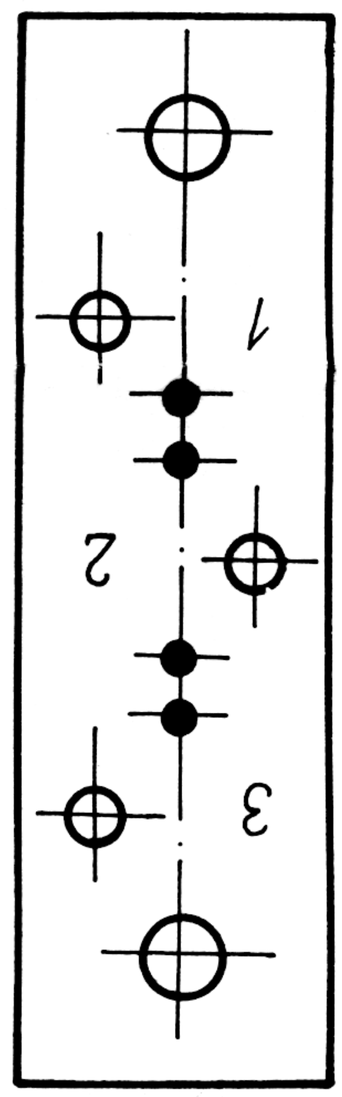
4-H-7785



4-H -7786

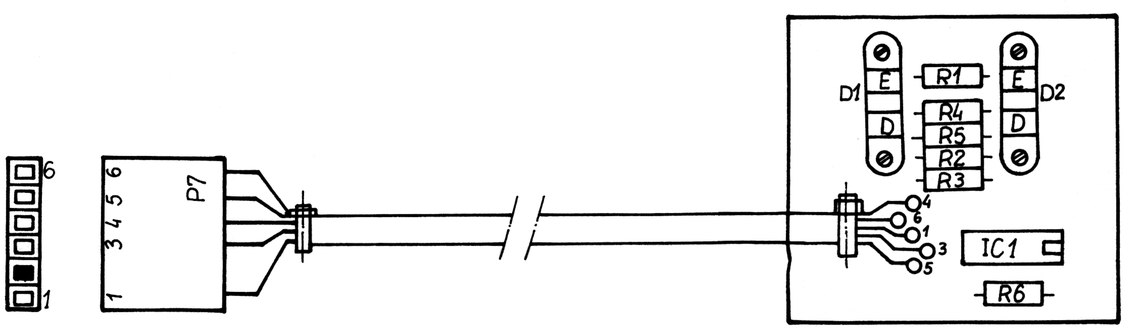
Schemat ideowy

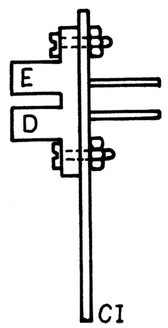




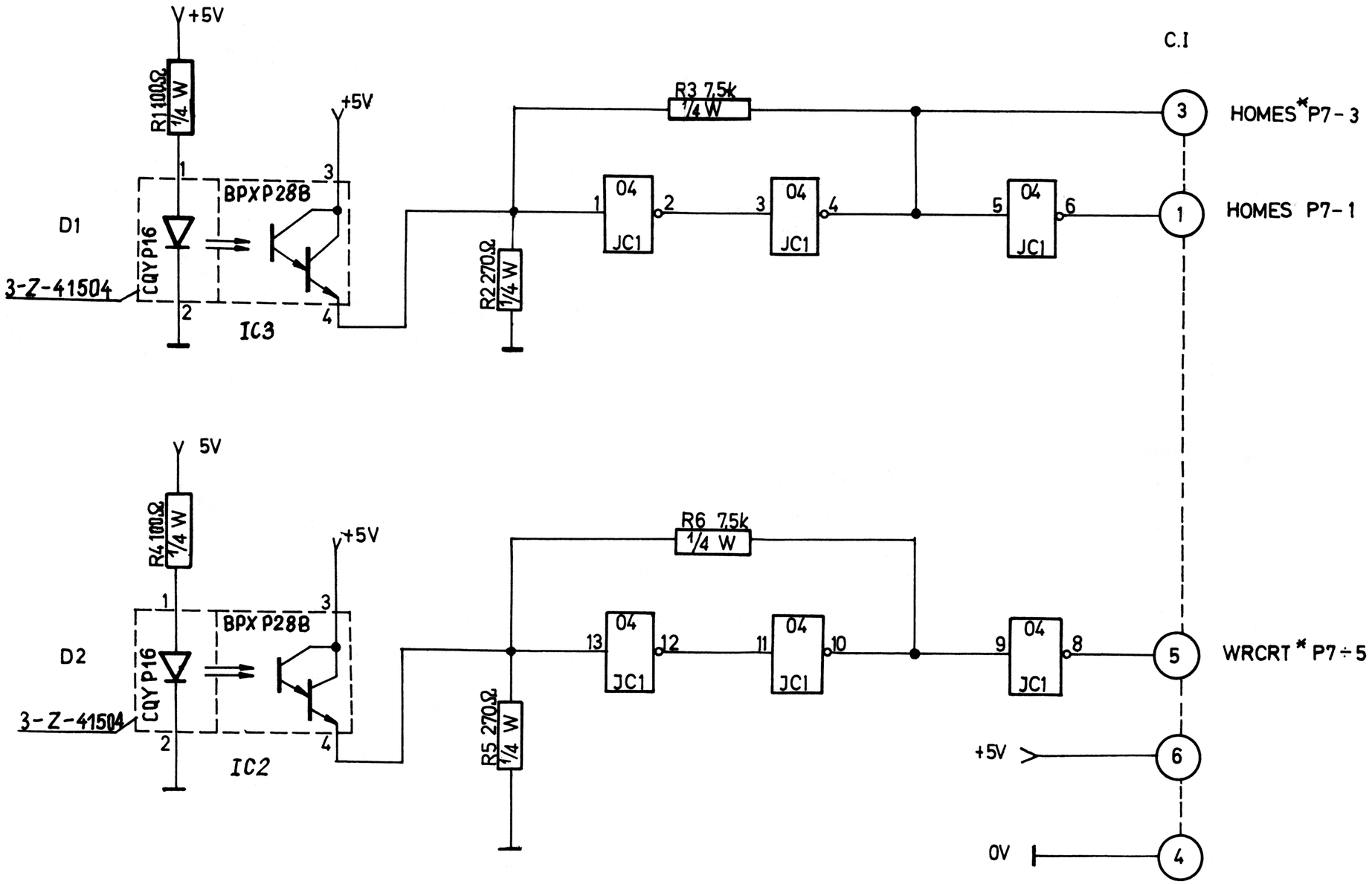
Symbol	Typ
4-H-7785	COYP16
4-H-7786	BPYP24

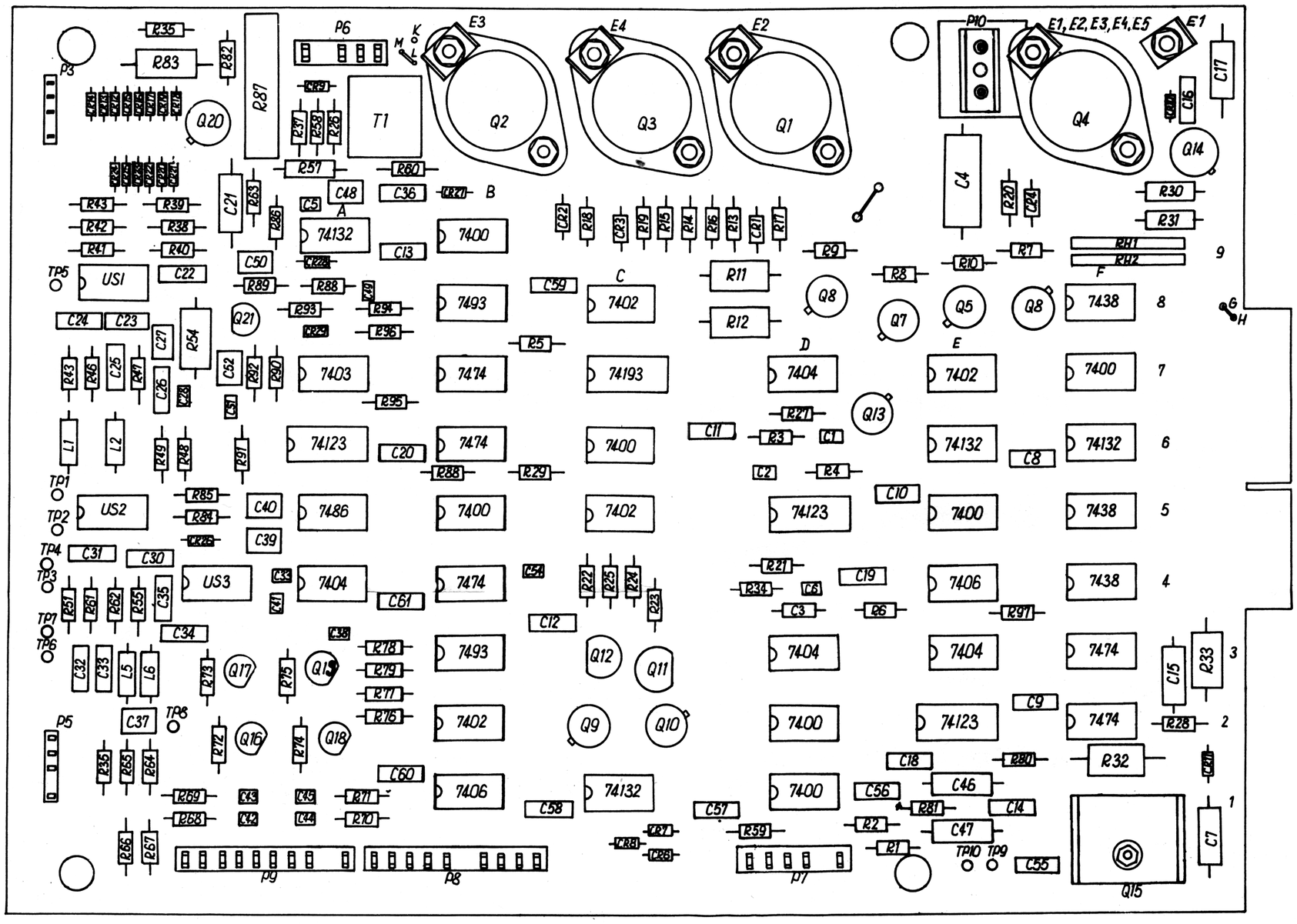
Oznaczenie	Typ elementu
D1, D2	2×3-Z-41504
IC1	UCY 7404 N
R1, R4	MŁT 100Ω ±5% 0,25W
R2, R5	MŁT 270Ω ±5% 0,25W
R3, R6	MŁT 7,5k ±5% 0,25W



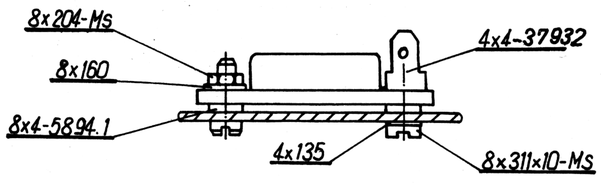


Nr styku złącza PŁ	Punkt lutowniczy na płytce CI
1	1
2 zaślepka kodująca	
3	3
4	4
5	5
6	6

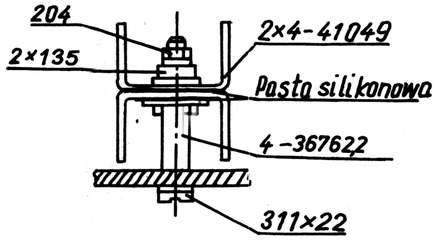

+5V
R1 100Ω 1/4 W
D1
3-Z-41504
CQY P16
BPX P28B
IC3
+5V
R2 270Ω 1/4 W
R3 7.5k 1/4 W
04 JC1
C.I
3
HOMES * P7-3
1
HOMES P7-1
5V
R4 100Ω 1/4 W
D2
3-Z-41504
CQY P16
BPX P28B
IC2
+5V
R5 270Ω 1/4 W
R6 7.5k 1/4 W
04 JC1
5
WRCRT * P7÷5
+5V
6
0V
4



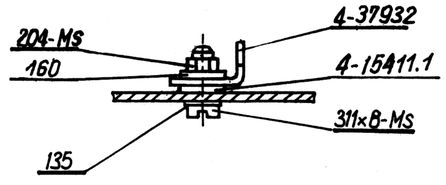
Montaż tranzystorów Q1÷Q4 (BDY25)

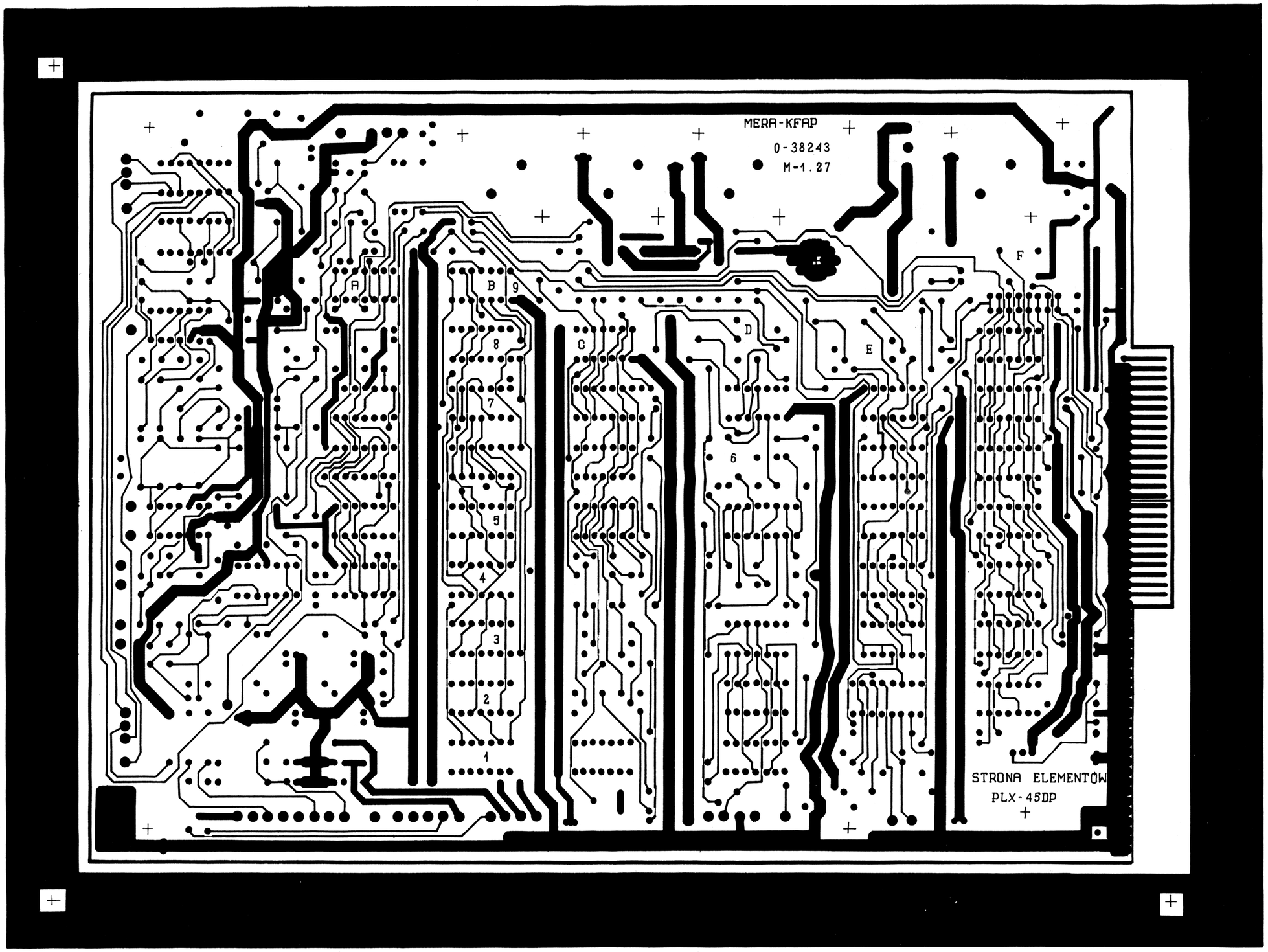


Montaż tranzystora Q15(BD285)

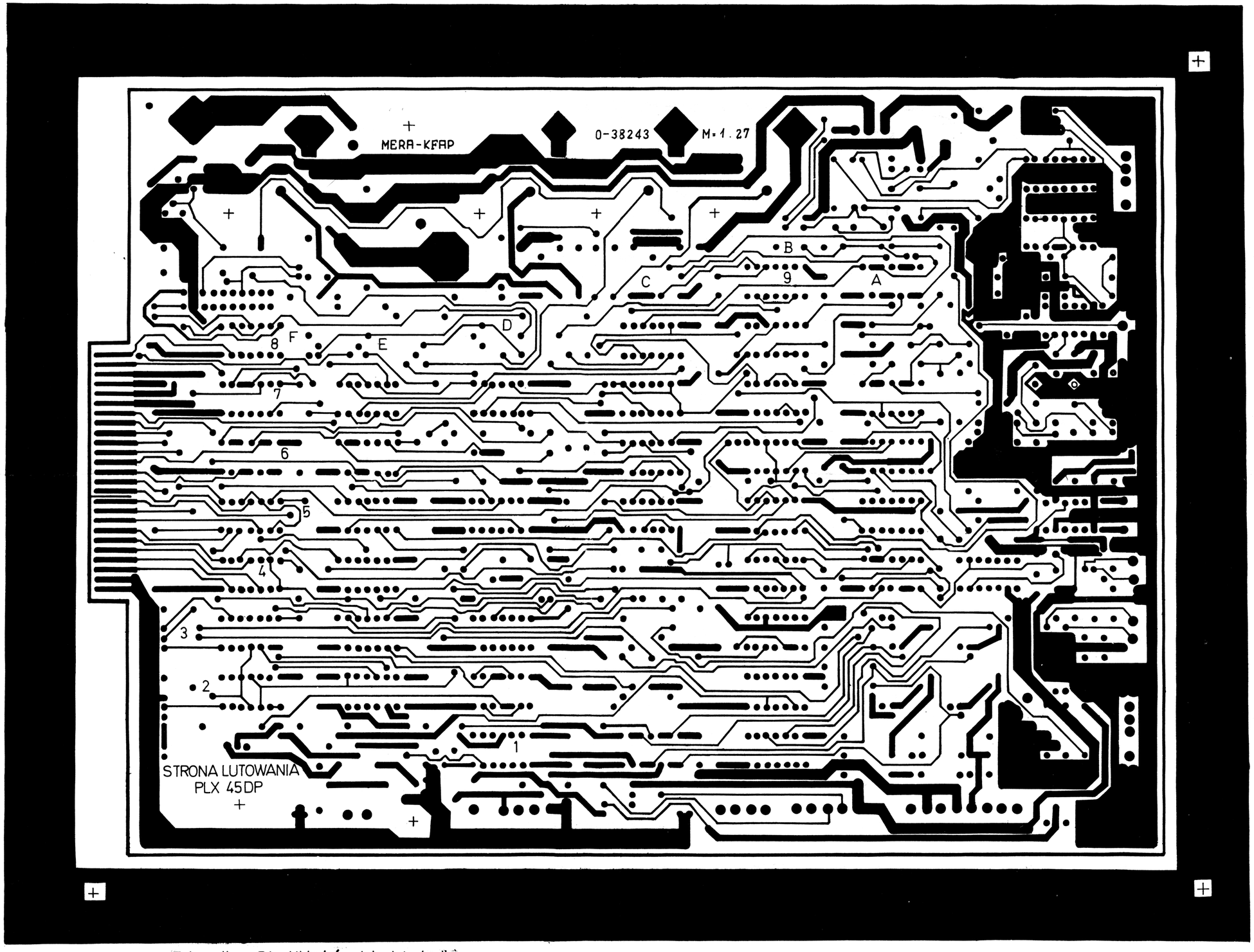


Montaż kontaktu E1





Załącznik nr 5.2. Układ ścieżek płyty logiki



Załącznik nr. 5.1. Układ ścieżek płyty logiki.